

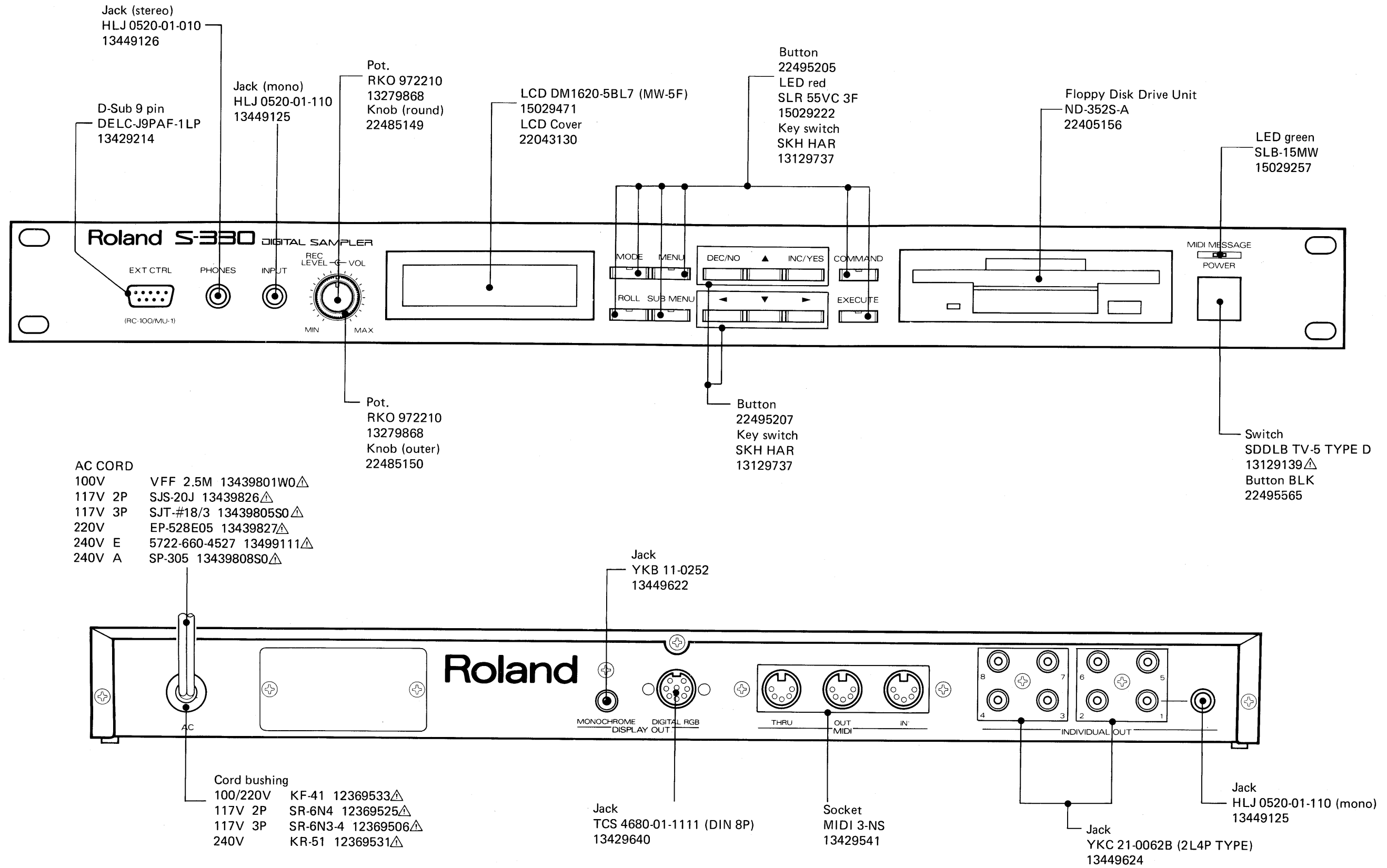
LOCATION OF CONTROLS

SAFETY PRECAUTIONS:

The parts marked Δ have safety-related characteristics.
Use only listed parts for replacement.

安全上の注意:

Δ が付いている部品番号は、安全上特別な規格
でつくられたものです。指定された部品番号以外
の部品は使わないようにして下さい。



PARTS LIST

CASING

22023376	Top Cover	202-364
22023377	Bottom Cover	202-377
22123568	Rack Mount Angle	212-568
22213586	Front Panel	221-586

KNOB, BUTTON

22495565	Button	POWER
22485149	Knob (Round)	VOLUME
22485150	Knob (Outer)	REC LEVEL
22495207	Button	DEC/NO, ▲, INC/YES, ▼, ▶
22495205	Button	MODE, MENU, COMMAND, ROLL, SUB MENU, EXECUTE

SWITCH

13129737	SKH HAR	Panel board
13129139	SDDL B TV-5 TYPE D	Power switch△

JACK, SOCKET

13429168	MIDI 3-NS	MIDI
13429541	PLCC 68 pin 268-7234-51-3857	
13449126	HLJ 0520-01-010 (Stereo)	PHONES
13449125	HLJ 0520-01-110 (Mono)	INPUT, OUTPUT 1
13449624	YKC 21-0062B (2L4P TYPE)	INDIVIDUAL OUT
13449622	YKB 11-0252	MONOCHROME
13429640	TCS 4680-01-1111 (DIN 8P)	DIGITAL RGB
13429214	DEL C-J9PAF-1LP (D-SUB 9 pin)	EXTCTRL

SWITCHING POWER SUPPLY

22455509	MSA 817	100/117V△
22455510	MSA 818	220/240V△

IC

15179250	P8097-90	CPU 68 pin plcc
15239107	M60013-0137FP	I/O gate array
15229874	SA-16	wave gate array
15219158	WD1772-02	floppy disk controller
15179400	TC51832 SPL-12	RAM
15179870	A P2764A-2	OTP ROM
15179871	B P2764A-2	OTP ROM
15219173	TMS 3556NL	VDP
15229884	TVF 16	TVF
15229883	MB654419V	TVF interface gate array
15219171	EHK-MD 6209	16-bit D/A converter
15229873	BU3905S R11-0006	output assign gate array
15179395	MN414256-12	D-RAM
15179364	TMS 4464-15NL	D-RAM, 64k x 4
15169549X0	SN 74HC 32N	quad 2 input OR gate
15169512X0	SN 74HC04N	hex inverter
15169552X0	SN 74HC 245N	octal 3 state transceiver
15169555X0	SN 74HC 393N	dual 4 bit binary counter
15169544X0	SN 74HC 573N	3 state octal D type latch
15159129B0	M 4053BP	
15199179	AN 78L05 TA	Voltage regulator
15199180	AN 78L08 TA	Voltage regulator
15199181	AN 79L08 TA	Voltage regulator
15229706S0	PC-910	optoisolator
15189111P0	IR-9311	comparater
15189193	M5238 P	OP.amp
15189186	μPC 4570C	OP.amp

FLOPPY DISK DRIVE UNIT

22405156	ND-362S-A
----------	-----------

DIODE, LCD, LED

15029471	DM1620-5BL7 (MW-5F)	LCD
15029257	SLB-15MW	LED:green, LED board
15029222	SLR 55VC 3F	LED:red, Panel board
15019125	ISS-133	

INDUCTOR

12449298	ESD-R-25D	Line filter△
12449313	K25-J1 FC=13.7KHz	1c filter
12449312	K25-J1 FC=14.5KHz	1c filter

RESONATOR

12389784	CA-301 8MHz	crystal
12389785	CA-301 14.3496MHz	crystal
12389786	CA-301 20MHz	crystal
12389787	CA-301 24MHz	crystal
12389788	CA-301 26.880MHz	crystal

PCB ASSEMBLY

79424120	CPU Board	(pcb 22923572)△
Replacement CPU Board includes Power SW Board, Panel Board and LED Board		
	Power SW Board	(pcb 22923572)△
	Panel Board	(pcb 22923572)△
	LED Board	(pcb 22923572)△

POTENTIOMETER

13279868	RKO 972210 (Inside 3KΩ reversed, Outside 300KΩ)
13299193	EVN D4AA00B54

TRANSISTOR

15119133	DTA-114EF w/built in resistors
15129150	DTC-114EF w/built in resistors
15119106DR	2SA 933S
15129114	2SC 1815GR
15119129	2SA 1115E
15129140	2SC 2603E
15129136	2SC 2878A
15139125	2SK 381C

CAPACITOR

13519553	50VD 10PF	Ceramic
13519530	50VK 470PF	Ceramic
13519554	50VJ 15PF	Ceramic
13519555	50VJ 22PF	Ceramic
13519517K0	50VK 47PF	Ceramic
13519560	50VJ 100PF	Ceramic
13519563	50VJ 220PF	Ceramic
13529108	RPE132F104Z 50	Ceramic
13529166	DE 1010B221KACT 4K-KD	Ceramic 220/240V△
13549179M0	50VK 0.1 ECQ-M1H 104KF	
13549163M0	50VK 0.0047 ECQ-M1H 472KF	
13549155M0	50VK 0.001 ECQ-M1H 102KF	
13549167M0	50VK 0.01 ECQ-M1H 103KF	
13549161M0	50VK 0.0033 ECQ-M1H 332KF	

CAPACITOR ARRAY

13529146	CXKD8X220M	22P x 8	EFF.SN88138-UP
----------	------------	---------	----------------

RESISTOR ARRAY

13919140	RGLD 8 x 103J
----------	---------------

CONNECTOR HOUSING

13439339	IL-S-15P-S2T2-EF	Pin Header
13439440	IL-Y-15P-S15T2-EF	Pin Header
13439438	B2B-XH-AM	
13429230	RK-H141TD-0190	Pin Header

AC CORD

13439801W0	VFF 2.5M	100V△
13439826	SJS-20J	117V 2P△
13439805S0	SJT-#18/3	117V 3P△
13439827	EP-528E05	220V△
13499111	5722-660-4527	240V England△
13439808S0	SP-305	240V Australian△

COVER, SPACER, HOLDER

12199557	Rocking Card Spacer	
22163567	DD Spacer	216-567
22190943	Cord bush Holder	219-943
22203163	Cord bush Holder	220-163
22043130	LCD Cover	204-130
22203133	Front Holder	220-133
22203141	DD Holder	220-141
22195999	Power SW Holder	219-999
22163132	Insulating Spacer	216-132
22163133	Insulating Spacer	216-133
22203131	Jack Holder	220-131
22023384	Jack Cover	202-384
22243173	Volume Mask	224-173

FLAT CABLE

23473218MT	34 pin x 200mm	347-218
------------	----------------	---------

WIRING

23493732	Panel Board Wiring	349-732
23493706	Wiring A 140mm	2 pin
	Wiring B 300mm	7 pin
	Wiring C 150mm	3 pin
	Wiring D 320mm	2 pin
	Wiring E 120mm	

MISCELLANEOUS

22350313	AMDEC Bass	
22140207	Arm SDE 3000/1000	△
22150401	Sleeve SDE 3000/1000	△
22150402	Sleeve SDE 3000/1000	△
22135611	Power SW Escutcheon	
12369533	Cord bush KF-41	100/220V△
12369525	Cord bush SR-6N4	117 2P△
12369506	Cord bush SR-6N3-4	117 3P△
12369531	Cord bush KR-51	240V△

ACCESSORIES

23430675S0	LP-25	Connection Cord (2.5m)
23485167	348-167	5P DIN Cord (1 m)
22403153	Z6-S330-01 SYSTEM Disk	
	Z6-S330-02 SYSTEM Disk	
	SYS-S330-6 UTILITY Disk	

SAFETY PRECAUTIONS:

The parts marked △ have safety-related characteristics.
Use only listed parts for replacement.

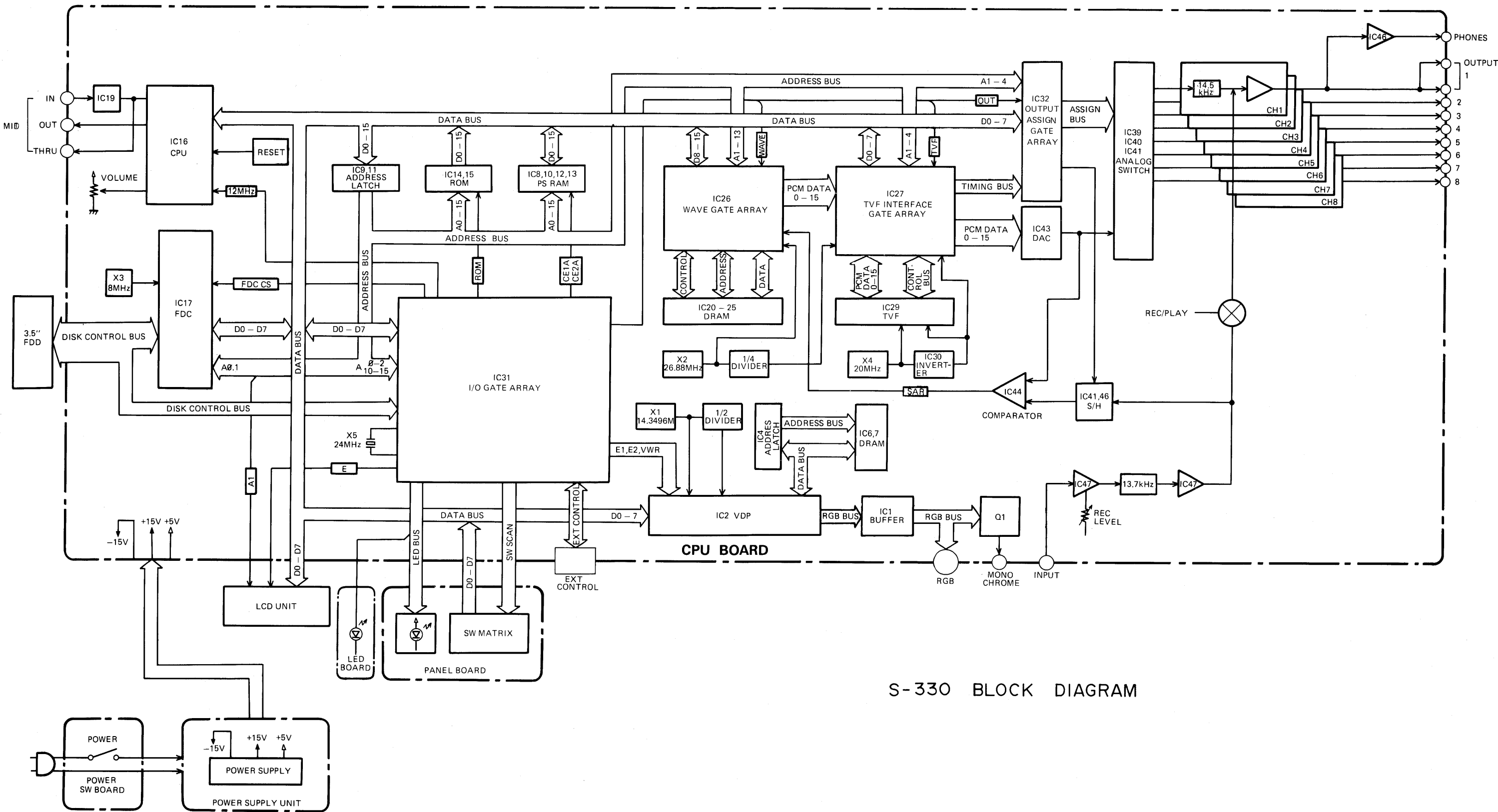
安全上の注意:

△が付いている部品番号は、安全上特別な規格
でつくられたものです。指定された部品番号以外
の部品は使わないようにして下さい。

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40

BLOCK DIAGRAM

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U



S-330 BLOCK DIAGRAM

CIRCUIT DESCRIPTIONS

General

■ Features

The S-330 is a 16-voice digital sampler having expanded 16-bit capability (sampling data 12-bit). The major features are as described below:

- Employs TVF (Time Variant Filter) and TVA (Time Variant Amplifier) for versatile sound creation
- Two wave banks, each with the maximum sampling time of 7.2 sec (sampling frequency at 30kHz)
- Accommodates an optional mouse and remote controller RC-100
- Equipped with 8 individual channel outputs
- Editable from the CRT screen

■ Control Section

The main CPU 8097 covers and manages the following functions and devices.

- Transfer of MIDI messages
- Wave gate array SA16 Power ON
- Floppy disk controller (FDC) WD1772
- Video display controller (VDD) TMS3556
- TVF interface gate array MB654419V
- Output assigner gate array BU3905S
- I/O gate arrays M60013

■ Waveform Data Memory Section

Sotres input waveform data into 6 1Mbit DRAMs through the wave gate array SA-16

Detailed

■ System Operation

● Software

System software is to be supplied externally from the floppy disk. System boots trap (initialization) program and fundamental subroutines are firmware stored in the internal ROMs. Fig. 1 shows the flow of the system initialization program.

回路解説

概要

■機能

S-330 はエクспанデット16ビット(サンプリングデータ12ビット)、16ボイスのデジタルサンプラーで主な機能は以下の通りです。

- TVF (Time Variant Filter)、TVA (Time Variant Amplifier) 搭載により、多彩な音作りが可能。
- 最大サンプリングタイム7.2秒(サンプリング周波数30KHz時)のウェーブバンクを2バンク装備
- 付属のマウス及びリモートコントローラRC-100が接続可能。
- 8CHのインディビジュアル・アウトプット装備
- CRTを接続し、画面上でのエディットが可能。

■制御部

メインCPUには、8097が使用されており、下記のものに制御、管理しています。

- MIDIメッセージの送受信
- ウェーブゲートアレイ SA16
- フロッピーディスクコントローラ(FDC) WD1772
- ビデオディスプレイコントローラ(VDP) TMS3556
- TVF インターフェイスゲートアレイ MB654419U
- アウトプットアサインゲートアレイ BU3905S
- I/O ゲートアレイ M60013

■波形記憶部

ウェーブゲートアレイ SA-16により入力音の波形データを1MビットのDRAM 6個に記憶させています。

詳細

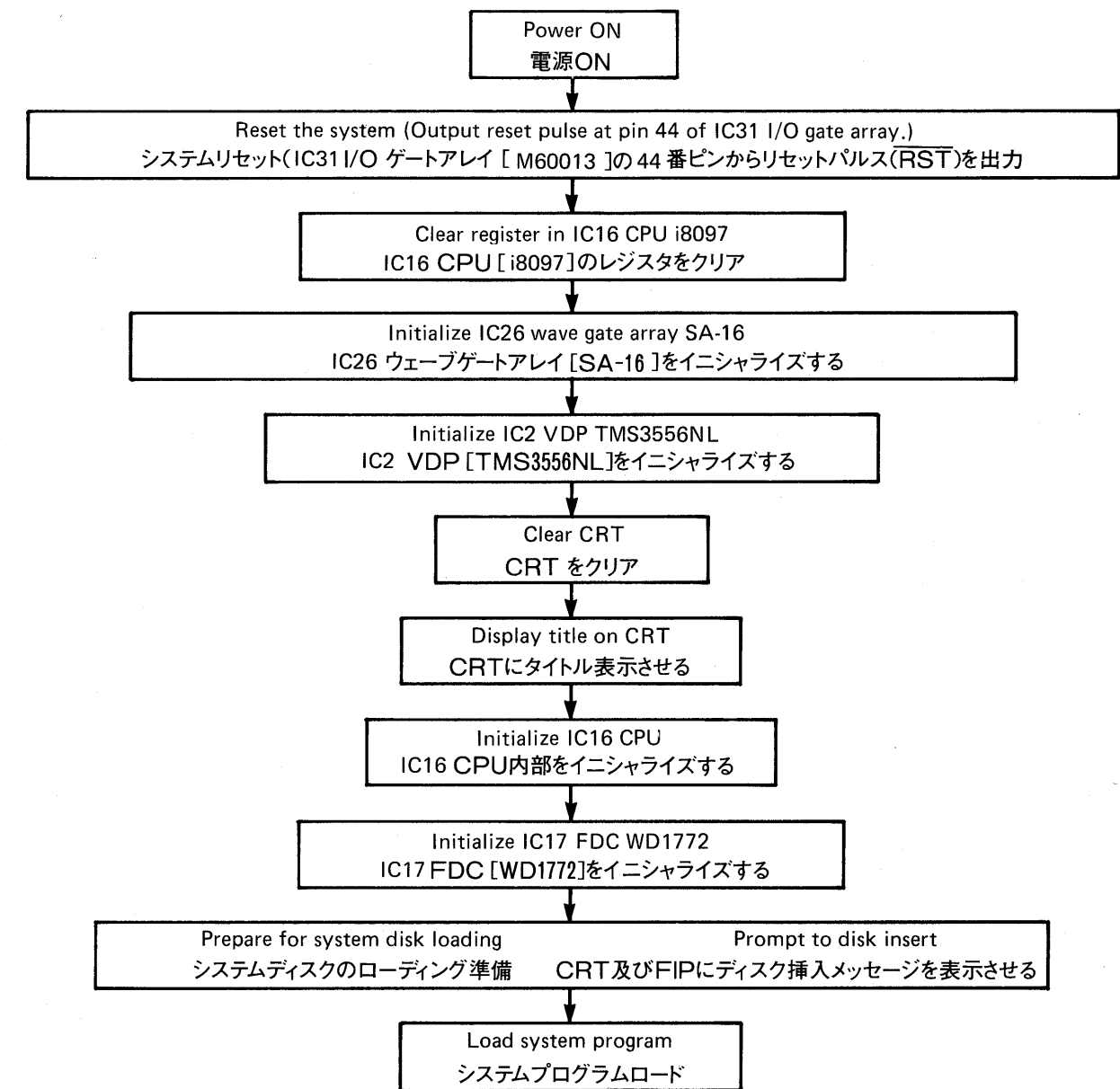
■システム動作

●ソフトウェア

システムソフトウェアは、フロッピーディスクにより本体に供給されます。本体ROM内には、システムの初期設定プログラム及び基本サブルーチン等が格納されています。ROM内のシステム初期設定プログラムの流れをFig. 1に示します。

Flow of Initialization Program Resides in ROM

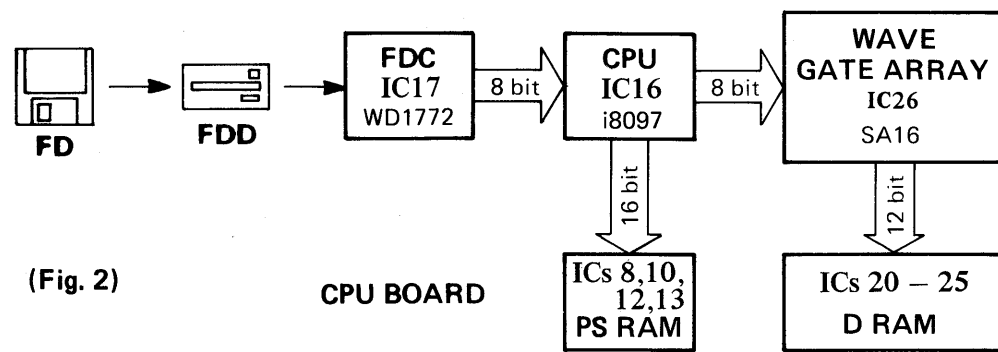
ROM内システム初期設定プログラム動作



(Fig. 1)

●Reading program and data from disk

●フロッピーディスクからのプログラム及びデータの読み込み



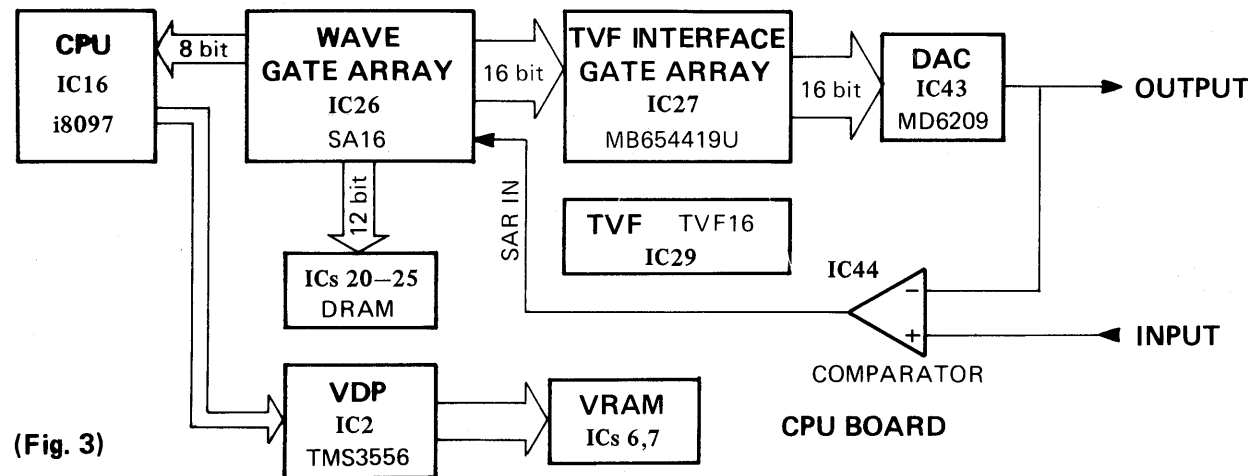
(Fig. 2)

The wave data is stored into DRAMs (ICs 20-25) while the system program and parameters are into PSRAMs (ICs 8, 10, 12 and 13).

波形データはDRAM (IC 20-25)へ、システムプログラム及びその他のパラメータはPS RAM (IC 8,10,12, 13) へ格納されます。

●Sampling input signal (in REC mode)

●入力信号のサンプリング(REC時)



(Fig. 3)

The input signals will be converted into digital equivalents through the A/D converter consisting of the wave gate array (IC26), DAC (IC43) and comparator (IC44). The ADC is a successive approximation type and sends the results to DRAMs (ICs 20 - 25). During sampling in REC mode, the TVF gate array (IC27) is limited to function as transparent path i.e. it relays the data from the wave gate array as it is to the DAC for the A/D system to compare with input signals. The CPU IC16 monitors the input level through the wave gate array and sends the information via VDP (IC2) to VRAMs (ICs 6 and 7) which indicate the level on the screen.

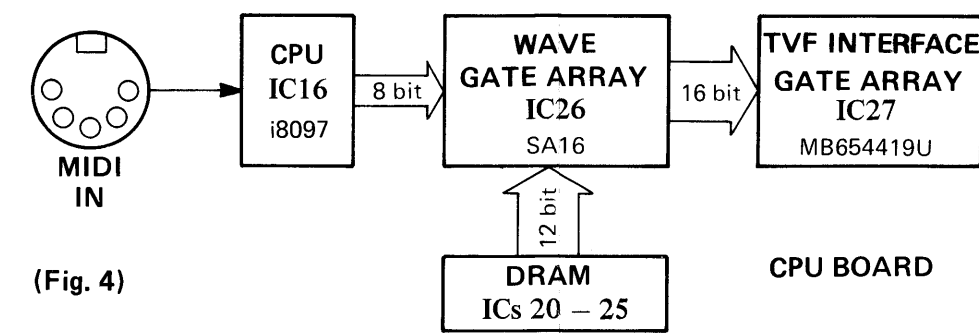
ウェーブゲートアレイ (IC26)、D/Aコンバータ(IC 43)、コンパレータ (IC44) で逐次比較型のA/Dコンバータを構成しています。入力信号はこのA/Dコンバータによりデジタルデータに変換され、DRAM (IC 20-25) へ格納されます。サンプリング (REC時) TVFインターフェイスゲートアレイ (IC27) は、ウェーブゲートアレイからの16ビットA/D変換を行なうための比較データをD/Aコンバータ (IC43) にバイパスする働きのみを行ないます。CPU (IC16) は、ウェーブゲートアレイを通じて INPUT レベルを監視し、VRAM (IC 6,7) にレベルメータのデータを転送します。

●Sound Reproduction (PLAY mode)

●波形再生(PLAY時)

1. Wave Data from DRAMs (ICs 20 - 25)

1. DRAM (ICs 20-25)からの波形データ抽出



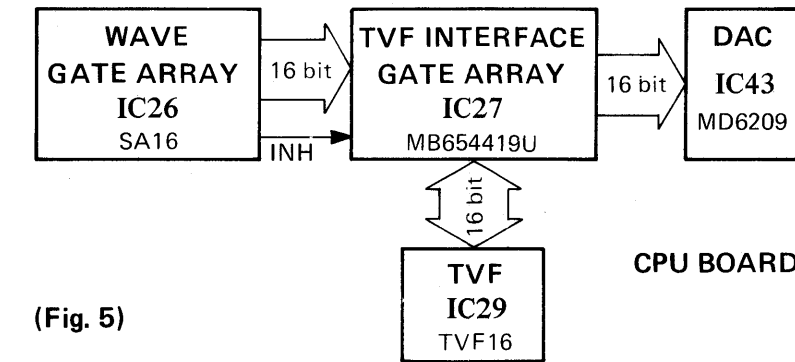
(Fig. 4)

When the CPU (IC16) acquires MIDI IN note, it constructs information concerning note, envelope and loop and routes them to the wave gate array (IC26). Using this envelope data, the wave gate array computes along with a 12 bit wave data obtained from DRAMs (IC20-IC25) to have an expanded 16 bit wave data which is to be applied to TVF interface gate array (IC27).

CPU (IC16) は、MIDI INからのノート情報を受けると、NOTE, ENVELOPE, LOOP の各情報をウェーブゲートアレイ (IC26) に対して送ります。ウェーブゲートアレイは、DRAM (IC 20 - 25) から読み込んだ12ビットの波形データを、前記のENVELOPE情報の値を基に演算し、16ビットのデータに変換します。また、これをTVFインターフェイスゲートアレイ (IC27) に送ります。

2. TVF (IC29) and TVF Interface Gate Array (IC27)

2. TVF (IC29) TVF16及びTVFインターフェイスゲートアレイ (IC27) MB654419U



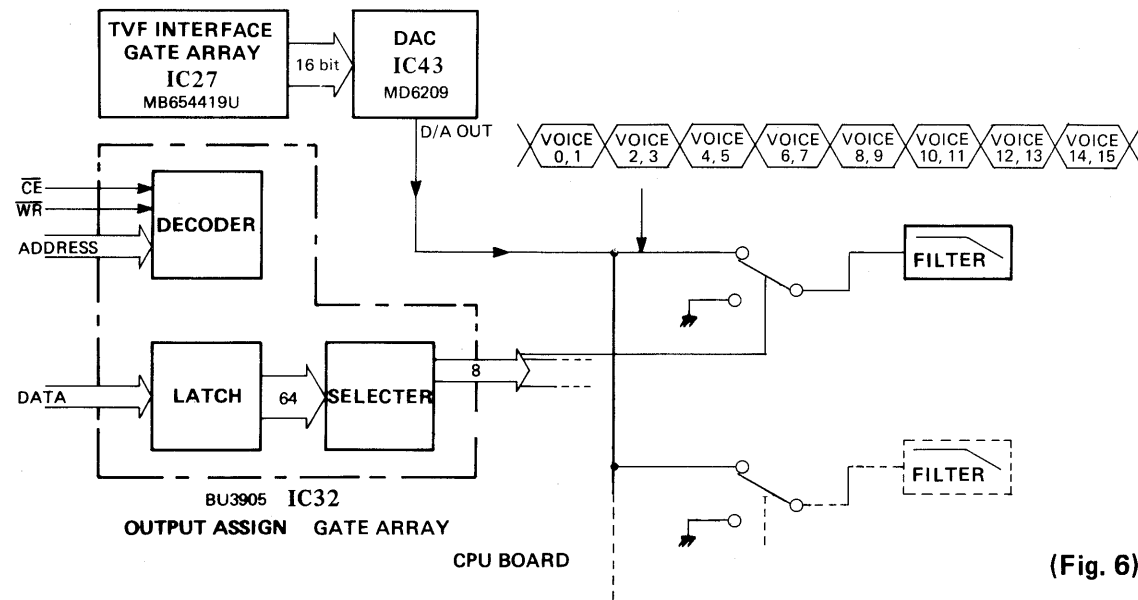
(Fig. 5)

The IC27, once gets 16-bit wave data from IC26, sends unique data to the TVF (IC29), consecutively on each INH signal. The TVF conditions wave data in response to tone parameters and sends "filtered" waveform data back to the TVF where they are sent to the DAC to become an actual sound.

ウェーブゲートアレイ (IC26) から出力された16ビットの波形データは、TVFインターフェイスゲートアレイ (IC27) を介し、INH信号に同期してTVF (IC29) へ送られます。TVFでは、トーンパラメータの値に基づいた演算を行なう事により、送られてきた波形データをフィルター処理した波形データに置き換えます。フィルター処理された波形データは、再びTVFインターフェイスゲートアレイにもどり、D/Aコンバータ (IC43) へと送られます。

3. Output Assigner Gate Array BU3905 (IC32)

3.アウトプットアサインゲートアレイ(IC32)BU3905



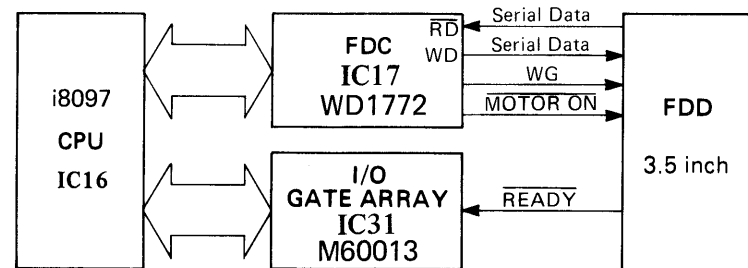
(Fig. 6)

The TVF interface sends 16 voice data (each of 16 bit) in time-division fashion. After D/A converted, each of two consecutive voice pairs is gated into an individual output circuit in the same time slot. The output assigner determines the output channel according to assign information given by the CPU.

TVFインターフェイスゲートアレイ (IC27) から出力される波形データ (16ビット構成で、16ボイスを時分割で送出) は、D/Aコンバータ (IC43) へ加えられます。D/Aコンバータからの出力は、2ボイスを1ペアとしてインディビジュアルアウトへ割り当てられて行きます。どのボイスペアを1から8のどのアウトへ出力するかはアウトプットアサインゲートアレイ (IC32) が、CPU (IC16) からのアサイン情報に基づいて決定します。

■ Disk Read/Write

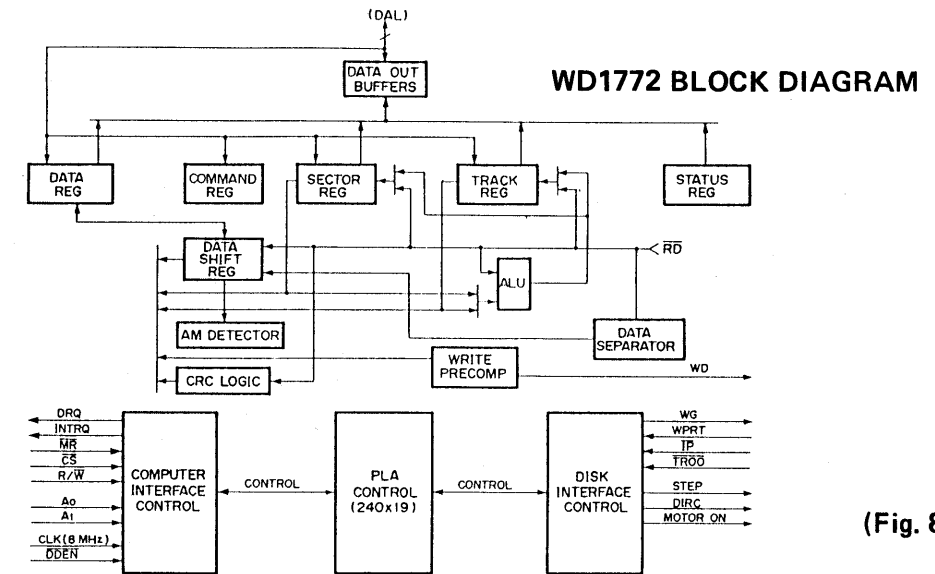
■ ディスクの読み書き



(Fig. 7)

On a read or write command from the CPU, the FDC pulls MOTOR ON low to let the FDD (Floppy Disk Drive) starts the motor. When the motor running has reached stable condition, the FDD signals the CPU through I/O gate with a low READY. The low READY allows the CPU to issue a command which enables reading or writing to/from the disk. In the read mode the FDC reads data from FDD in serial format and sends it to the CPU in parallel 8 bits. In the write mode the FDC first pulls and keeps WG high and then places a data on WD line.

FDCはCPUからリード又はライトコマンドを受けると、FDD (フロッピーディスクドライブ) に対して MOTOR ON 信号を送り FDD のモーターを回転させます。FDD はモーターの回転が安定すると、CPU に READY 信号を I/O ゲートアレイを介して送ります。CPU は READY 信号を受けると読み込み又は書き込み動作を開始させます。リード時、FDC は RD 端子より FDD からのシリアルデータを受け取り CPU に転送します。また、ライト時 FDC は WG 信号を High レベルにし、WD 端子を通じてデータを FDD に書き込みます。



(Fig. 8)

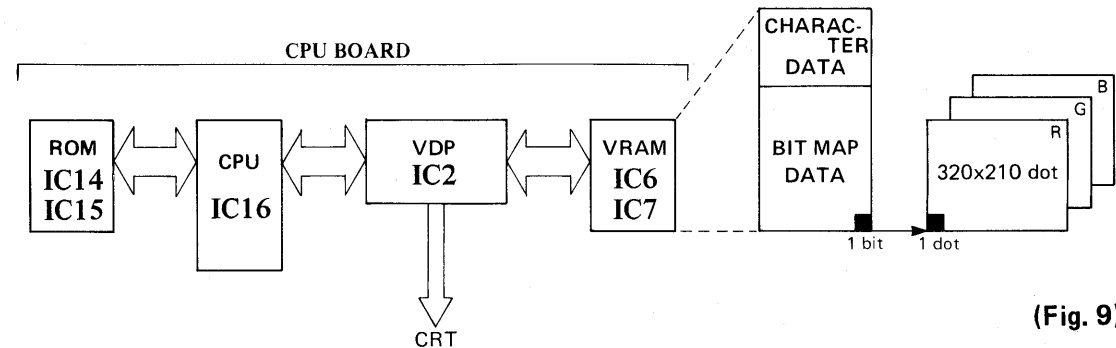
FDC Pin Description

(Table 1)

PIN NUMBER	MNEMONIC	SIGNAL NAME	I/O	DESCRIPTION
1	\overline{CS}	CHIP SELECT	I	A logic low on this input selects the chip and enables Host communication with the device. Low LevelでCPUとのコミュニケーションが可能になります。
2	R/W	READ/WRITE	I	A logic high on this input controls the placement of data on the D0-D7 lines from a selected register. While a logic low causes a write operation to a selected register. リード・サイクルのときは High Level、ライト・サイクルのときは Low Level にします。
3, 4	A0, A1	ADDRESS 0, 1	I	These two inputs select a register to Read/Write data: 次に示すように、この2つの入力によってリード、またはライト・サイクルにおけるFDC内部のレジスタを選択します。 CS A1 A0 R/W=1 R/W=0 0 0 0 Status Reg Command Reg 0 0 1 Track Reg Track Reg 0 1 0 Sector Reg Sector Reg 0 1 1 Data Reg Data Reg
5-12	DAL0-DAL7	DATA ACCESS LINES 0 THROUGH 7	I/O	Eight-bit bi-directional bus used for transfer of data, control, or status. This bus is enabled by CS and R/W. Each line will drive one TTL load. 8ビットのデータ・バスで、データのやり取りに使用されます。
13	\overline{MR}	MASTER RESET	I	A logic low pulse on this line resets the device and initializes the Status Register (internal pull-up). Low Levelで、FDCをリセットします。
14	GND	GROUND	I	Ground. 電源グラウンドに接続します。
15	Vcc	POWER SUPPLY	I	+5V $\pm 5\%$ power supply input. +5V電源に接続します。
16	STEPP	STEP	O	The Step output contains a pulse for each step of the drive's R/W head. ディスクドライブにヘッドを動かすためのパルスを送ります。
17	DIRC	DIRECTION	O	The Direction output is high when stepping in towards the center of the diskette, and low when stepping out. ディスクドライブのヘッドをHigh Levelでディスクの内側へ、Low Levelでディスクの外側へステップさせるための方向を設定します。
18	CLK	CLOCK	I	This input requires a free-running 50% duty cycle clock (for internal timing) at 8MHz $\pm 0.1\%$. 8 MHz $\pm 0.1\%$ 50%デューティサイクルのクロックを入力します。
19	\overline{RD}	$\overline{READ DATA}$	I	This active low input is the raw data line containing both clock and data pulses from the drive. ディスクドライブからデータを受けます。
20	MO	MOTOR ON	O	This active high output turns on the motor. ディスクドライブのモーターを制御します。
21	WG	WRITE GATE	O	This output is made valid prior to writing on the disk. ディスク・データを書き込むときに High Level になります。
22	WD	WRITE DATA	O	FM or MFM clock and data pulses are placed on this line to be written on the diskette. データをディスクドライブへ送ります。
23	$\overline{TR00}$	$\overline{TRACK 00}$	I	This active low input informs the WD1770-00 that the drive's R/W heads are positioned over Track zero (internal pull-up). トラック0の信号を受けます。Low Levelのときディスクドライブのヘッドがディスクの最も外側に位置します。
24	\overline{IP}	$\overline{INDEX PULSE}$	I	This active low input informs the WD1770-00 when the physical index hole has been encountered on the diskette (internal pull-up). インデックス信号を受けます。この信号はディスクが1回転することにディスクドライブから送られてきます。
25	WPRT	WRITE PROTECT	I	This input is sampled whenever a Write Command is received. A logic low on this line will prevent any Write Command from executing (internal pull-up). ライト・プロテクト信号を受けます。この信号は、ディスクにライト・プロテクトがかかっているときにディスクドライブから送られてきます。
26	\overline{DDEN}	$\overline{DOUBLE DENSITY ENABLE}$	I	This input pin selects either single (FM) or double (MFM) density. When DDEN=0, double density is selected (internal pull-up). High Levelで単密度 (FM) に、Low Levelで倍密度 (MFM) に設定されます。
27	DRQ	DATA REQUEST	O	This active high output indicates that the Data Register is full (on a Read) or empty (on a Write) operation. この出力の立ち上がりでデータレジスタがリードのときはフル、ライトのときはエンフティであることをCPUに知らせます。
28	INTRQ	INTERRUPT REQUEST	O	This active high output is set at the completion of any command or reset at a read of the Status Register. この出力の立ち上がりで、コマンドの実行終了をCPUに知らせます。

Video Display Processor (VDP) TMS-3556

VDPビデオ・ディスプレイ・プロセッサ TMS3556



(Fig. 9)

The figure 9 below shows the block diagram of the VDP, IC2 and associated circuits. The VDP operates either of TEXT and BIT MAP modes.

Text Mode

In the text mode the CPU sends the VDP a character code and the coordinates of the character on the screen. The VDP fetches the character pattern data from the VRAM character area and displays the character in a 10 by 8 dot matrix on the 21 row by 40 character screen.

Bit Map Mode

The VRAM bit map area is divided into three portions, each corresponds to color R, G, or B of 320 by 210 dot matrix on the screen. When in this mode, the CPU writes image data into the bit map area. The VDP displays pixel by pixel with specified color.

VDPの周辺ブロック図をFig. 9 に示します。VDPは次の2種類のモードで動作しています。

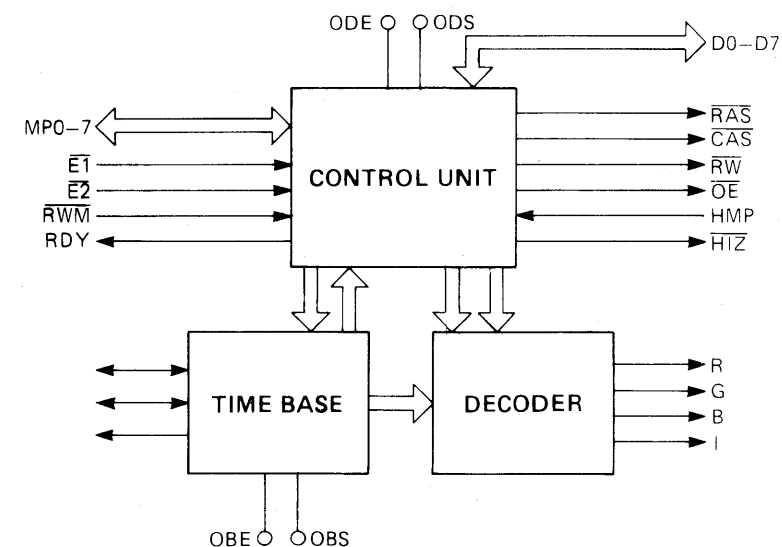
テキストモード

CPUから表示する座標点データと文字コードを受け取ると、VRAM内部のキャラクタ領域から、キャラクタパターンを、読み込み41桁×21行で表示します。

ビットマップモード

画面を、R, G, B 3枚のシートに分解し、1シート(320×210ドット)の1ドットをVRAM内ビットマップ領域の1ビットに対応させて表示します。したがってCPUがVRAMのビットマップ領域へ画面データを書き込む事により、ドット毎に色を指定した各種グラフィック等を、描くことができます。

VDP TMS3556 BLOCK DIAGRAM



(Fig. 10)

EXT CONTROLLER Socket

This socket enables communications with a synchronous serial format. The pin assignment is as shown below.

EXT CONTROLLER用端子

マウス(MU-1)又はリモートコントローラ(RC-100)と同期式のシリアル伝送を行なうための端子です。各ピン端子機能についてTable 3 に示します。

VDP Pin Description (Table 2)

SIGNAL NAME	PIN NO.	I/O	DESCRIPTION	SIGNAL NAME	PIN NO.	I/O	DESCRIPTION
VGG	1	I	Power Supply: +5.2V +5V電源	MP3	40	I/O	CPU-VDP Data Bus CPU-VDPデータバス
MP4	2	I/O	CPU-VDP Data Bus CPU-VDPデータバス	MP2	39	I/O	CPU-VDP Data Bus CPU-VDPデータバス
MP5	3	I/O	CPU-VDP Data Bus CPU-VDPデータバス	MP1	38	I/O	CPU-VDP Data Bus CPU-VDPデータバス
MP6	4	I/O	CPU-VDP Data Bus CPU-VDPデータバス	MP0	37	I/O	CPU-VDP Data Bus (MSB) CPU-VDPデータバス(MSB)
MP7	5	I/O	CPU-VDP Data Bus (LSB) CPU-VDPデータバス(LSB)	SCM	36	0	Composite Sync コンポジット同期信号出力
CAS	6	0	Column Address Strobe コラム・アドレス・ストロブ信号	B	35	0	B B信号出力
RAS	7	0	Row Address Strobe ロウ・アドレス・ストロブ信号	G	34	0	G G信号出力
WR	8	0	Memory Write メモリ・ライト信号	R	33	0	R R信号出力
OE	9	0	Memory Output Enable メモリ・アウトプット・イネーブル信号	I	32	0	Display Mode Select 表示モード切り替え信号
HIZ	10	0	Not used 使用しない	SLL	31	I/O	Horizontal Sync 水平同期信号入出力
RWM	11	I	CPU-VDP Write CPU-VDPライト信号	SCT	30	I/O	Vertical Sync 垂直同期信号入出力
HMP	12	I	Not used, pulled up to +5.2V 使用しない。+5Vにプルアップする。	OBS	29	0	Time Base Clock Xtal タイム・ベース・タイミング用振動子
ODS	13	0	DMA clock Xtal (Memory Access Timing) メモリ・アクセス・タイミング用振動子	OBE	28	I	接続端子(タイム・ベース・クロック)
ODE	14	I	メモリ・アクセス・タイミング用振動子 接続端子(DMAクロック)	E2	27	I	VDP Access Control VDP-アクセス・コントロール信号
READY	15	0	VDP Ready VDPレディ信号	E1	26	I	VDP Access Control VDP-アクセス・コントロール信号
D7	16	I/O	VDP-Memory Address/Data Bus (LSB) VDP-メモリ・アドレス/データバス(LSB)	D0	25	I/O	VDP-Memory Address/Data Bus (MSB) VDP-メモリ・アドレス/データバス(MSB)
D6	17	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データバス	D1	24	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データバス
D5	18	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データバス	D2	23	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データバス
D4	19	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データバス	VDD	22	I	Power Supply: +3V +3V電源
D3	20	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データバス	VSS	21	I	GND GND

EXT CONTROLLER SOCKET PIN DESCRIPTION

Pin No. 端子番号	Pin Designation 端子名	Function when connected to MU-1 MU-1 接続時の機能	I/O	Function when connected to RC-100 RC-100 接続時の機能	I/O
1	MX0	UP	I	DATA1 Data input from RC-100 RC-100からのデータを入力する	I
2	MX1	DOWN	I	ATN Ready Signal input from RC-100 (ATTENTION) RC-100からの準備信号を入力する	I
3	MX2	LEFT	I	GROUND	...
4	MX3	RIGHT	I	GROUND	...
5	+5.2V	+5.2V	...	+5.2V	...
6	MX4	LEFT SW	I	CLK1 Sync clock for DATA1 DATA1用同期クロックを出力する	0
7	MX5	RIGHT SW	I	CLK2 Sync clock for DATA2 DATA2用同期クロックを出力する	0
8	MX6	STROBE (CS)	0	DATA2 Data output to RC-100 RC-100へデータを出力する。	0
9	GND	GROUND	...	GROUND	...

(Table 3)

I/O Gate Array M60013 (IC31)

Fig. 11

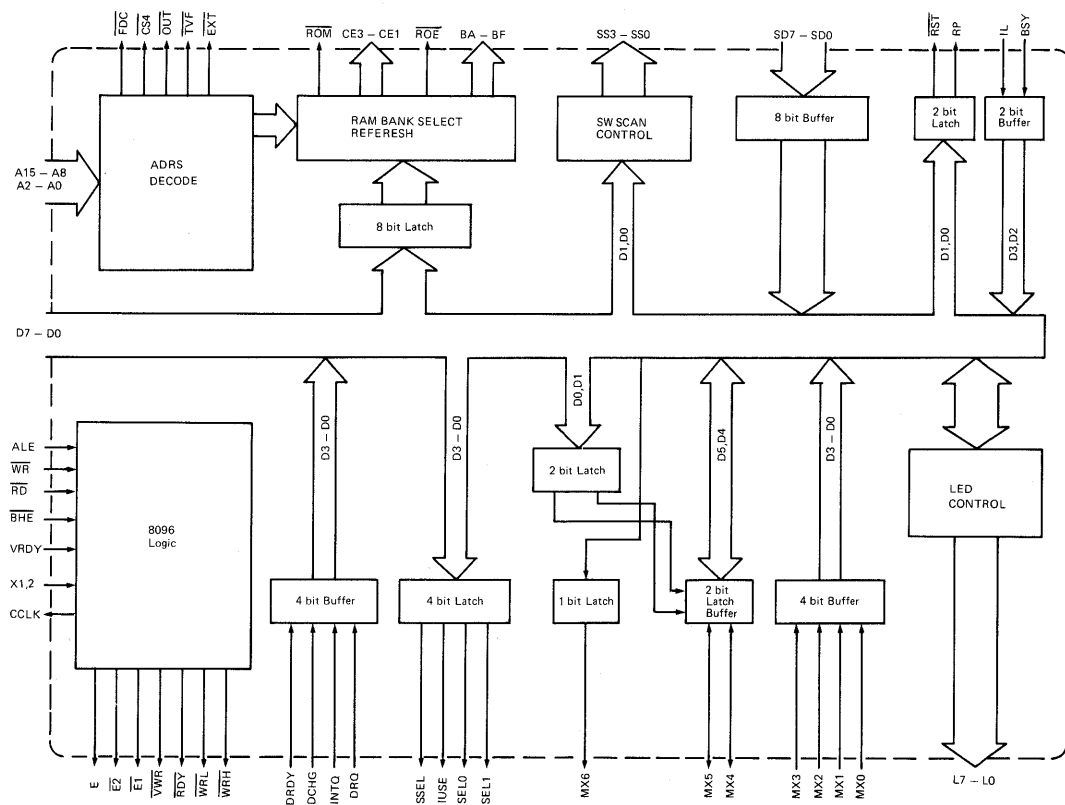
Delivers chip select, switch scan signal, etc. to peripheral devices listing below through respective internal I/O ports.

- . IC17 FDC WD1772
- . IC2 VDP TMS3556NL
- . IC14, 15 P-ROM
- . IC8, 10, 12, 13 PS-RAM
- . IC26 WAVE GATE ARRAY SA-16
- . IC27 TVF INTERFACE GATE ARRAY MB654419
- . IC32 OUTPUT ASSIGN GATE ARRAY BU3905

●I/OゲートアレイM60013(IC31) Fig. 11

下記の周辺デバイスのI/Oを内蔵しており、それぞれに対するチップセレクト信号を出力します。

- IC17 FDC WD1772
- IC2 VDP TMS3556NL
- IC14, 15 P-ROM
- IC8, 10, 12, 13 PS-RAM
- IC26 WAVE GATE ARRAY SA-16
- IC27 TVF INTERFACE GATE ARRAY MB654419
- IC32 OUTPUT ASSIGN GATE ARRAY BU3905



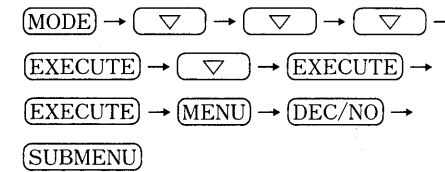
(Fig. 11)

CHECKING AND ADJUSTMENT

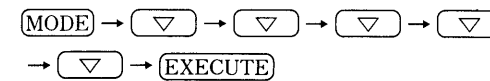
Test Mode

Entering test mode

1. Turn the S-330 off, if on.
2. Insert the utility disk supplied with the S-330. Turn the power on.
3. When the first disk loading is complete, press the following buttons in the order of arrows.
Hacker mode screen as shown in Fig. A will appear on the CRT.



4. Press the following buttons in the order of arrows.
Utility menu will be read from the disk and displayed on the CRT.



5. Using the cursor button, position the cursor at "The Test" field and press EXECUTE. Test programs will be read. The menu window of the test mode will be displayed on the CRT. Fig. B

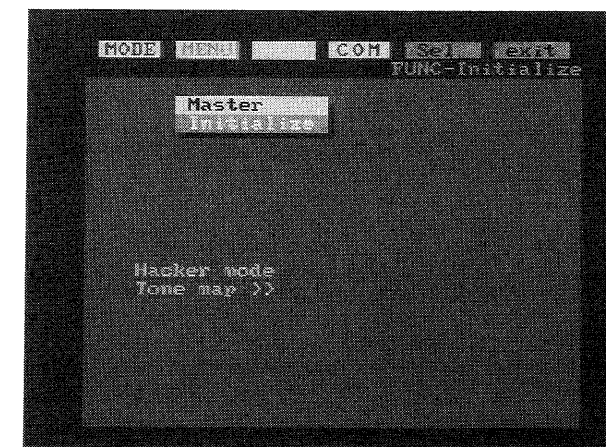
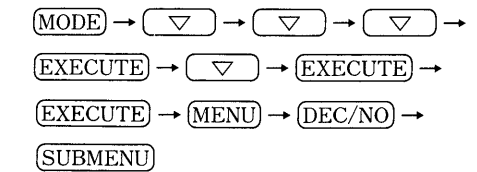


Fig.A

■テストモード

テストモードの立ち上げ方

1. 一旦S-330の電源を切る。
2. 付属のユーティリティディスクを挿入し、電源を入れる。
3. ディスクを読み終えたら、下記の順に従ってボタンを押す。



CRT画面がFig. Aのように表示され、ハッカーモードになっていることを確認する。

4. 次に MODE → ↓ ↓ ↓ ↓ ↓ → ↓ → EXECUTE の順にボタンを押す。
ディスクからユーティリティのメニューがロードされ、CRT画面にユーティリティのメニューウィンドウが表示されます。
5. カーソルボタンで "The Test" の欄にカーソルを移動し EXECUTE ボタンを押す。プログラムがロードされ、CRT画面にテストモードのメニューウィンドウが表示されます。Fig B.

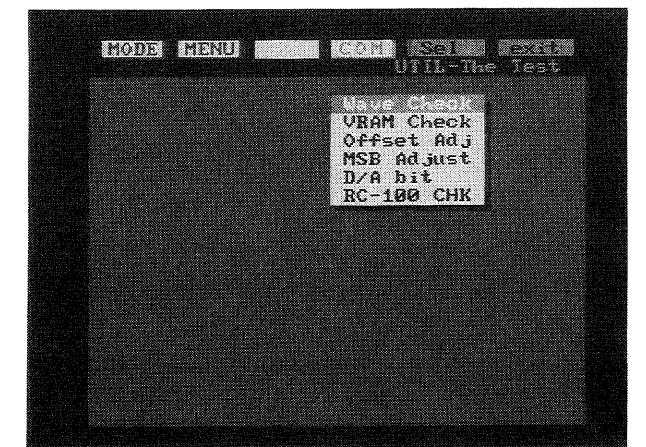


Fig.B

Test Programs

Wave check

This is to test the array of 1 Mbit DRAM memory comprising of ICs 20–25 for wave data.

In the main menu of the test program perform the following.

1. Position the cursor to "Wave Check" and press **EXECUTE**.
2. The program will perform the following tests while displaying counts in hexadecimal number from 00 to FF twice.
 - *Writes testing data into DRAMs, ICs 20–25 during the 1st counting cycle.
 - *Reads back the test data from the DRAMs during the second counting cycle and compares them with testing data.
 - *Displays "Complete" when all read-back data prove intact.
 - *If testing and tested data do not agree with each other, displays an error message as exemplified in Fig. C.

Description of error messages

Error bank . . . Indicates the error bank in the DRAM area.

Table A shows the relationship between the banks and DRAMs.

Table A.

Banks	IC No.
A	20, 22, 24
B	21, 23, 25

Error address Indicates the address assigned to the defective memory cell in that DRAM.

Correct pattern The bit pattern written into the DRAM.

Error pattern The bit pattern read from the DRAM.

3. Return to the menu window by pressing **COMMAND**.

■各テストプログラムの項目について

●Wave Check

ウェーブデータ用メモリ [IC20～25 (1Mビット DRAM)] の検査を行います。

●実行のさせ方

カーソルボタンで "Wave Check" の欄にカーソルを移動し **EXECUTE** ボタンを押す。

●検査内容について

実行させると00からFFまで16進数で2回カウントし、CRT画面に表示します。

(その間次の内容を実行します。)

1回目のカウント時にDRAM (IC20–25) ヘデータを書き込み、2回目のカウントの時のDRAMからデータを読み込んで、書き込んだ値と比較しDRAMが正常かを検査します。

DRAMが全て正常であればCompleteと表示します。

不良のDRAMを検出した場合、Fig. Cのようなエラーメッセージを表示します。

各メッセージの意味は以下の通りです。

- Error bank DRAMエリア内のエラーの出たバンクを表示します。

バンク名とIC番号との対応表をTable. Aに示します。

Table. A

Bank	IC No.
A	20, 22, 24
B	21, 23, 25

- Error Address エラーの出たウェーブメモリー (D-RAM) のアドレスを表示します。

- Correct pattern DRAMへ書き込んだ値を表示します。

- Error pattern DRAMから読み込んだ値を表示します。

●メニューウインドウへの戻り方

COMMAND ボタンを押す。

VRAM Check

CAUTION:

Better not to invoke this test, or you will wake up a sleeping bug. Dare to try? Then execute as follows.

Select "VRAM Check" with cursor and press **EXECUTE**. Display will flash stripes then "Wave Check error" message. Note that flashing strobes does not mean intact VRAM.

To disperse the bug, press **COMMAND** and you can safely return to the menu window.

Offset Adjust

This compensates for offsets in DAC (IC43) and OP amp (IC45) loop. In practice the offset will generate transient noise upon turning on or off of analog switches (ICs 39, 40 and 41) functioning as output assigner.

1. Connect INDIVIDUAL OUT 1 to a monitor amp.
2. Select "Offset Adj" in the menu window with cursor, then press **EXECUTE**. The program enters into test mode and sounds continuous wave together with random pulse noises for use in the adjustment.
3. Adjust VR3 (CPU board) for the least noise amplitude.
4. Press **EXECUTE**. "Complete" displayed.
5. Press **COMMAND** to return to the menu window.

MSB Adj

This adjusts the weight of the MSB at DAC output. Failure in this adjustment will make dirty sound during release period (after release of a key).

1. Connect INDIVIDUAL OUT 1 to the monitor amp.
2. Position the cursor in front of "MSB Adj" and press **EXECUTE**. The S-330 enters into MSB Adj mode and generates a continuous test signal.
3. Adjust VR2 for a minimum sound level.
4. Press **EXECUTE** to display "Complete".
5. Press **COMMAND** to return back to the menu window.

●VRAM Check

注意 本テストプログラムでVRAMの良否判定を行なうことはできません。また、WAVE Checkのエラー表示と同じものが出てきますが、これはバグなので無視して下さい。

●実行のさせ方

カーソルボタンで "VRAM Check" の欄にカーソルを移動し **EXECUTE** ボタンを押す。

CRT画面に縦模様を瞬表示します。

●メニューウインドウへの戻り方

COMMAND ボタンを2回押す。

●Offset Adjustment

D/Aコンバータ (IC43) 及びオペアンプ (IC45) のオフセット調整。

(この調整ポイントがズレていると、アウトプットアサイン用のアナログスイッチ (IC39, 40, 41) がON-OFFした時にノイズが出る事があります。)

●調整方法

1. モニターアンプをINDIVIDUAL OUTの1に接続する。
2. カーソル・ボタンで "Offset Adj" の欄にカーソルを移動し **EXECUTE** ボタンを押す。
(本テストモードへ入る)
(調整用の持続音が出力される。(この時ランダムなパルス性のノイズ音も同時に出力されますが、これは異常ではありません。))
3. 調整用の持続音が最小になるようにCPU BOARDのVR3を調整する。
4. **EXECUTE** ボタンを押す。
("Complete" が表示される)
5. **COMMAND** ボタンを押す、メニューウインドウへ戻る。

●MSB Adjustment

D/AコンバータのMSB補正

この調整ポイントがズレていると、音のリリース (鍵盤を離した後の余韻) の部分が濁ることがあります。

●調整方法

1. モニターアンプをINDIVIDUAL OUTの1に接続する。
2. カーソルボタンで "MSB Adj" の欄にカーソルを移動し **EXECUTE** ボタンを押す。
(本テストモードへ入る)
[調整用の持続音が出力される。]

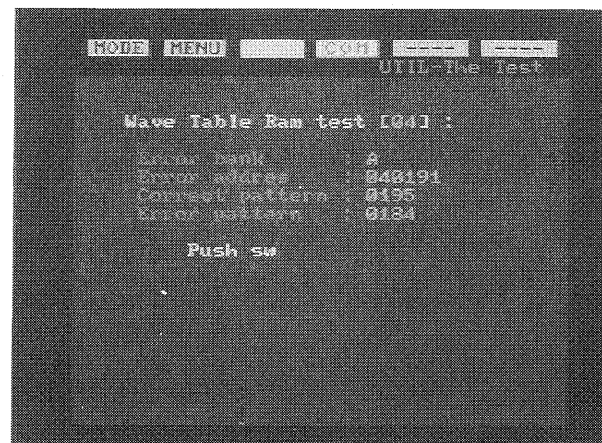


Fig.C

D/A Bit

This test examines the bits at the DAC.

1. Connect the monitor amp and scope in parallel with INDIVIDUAL OUT 1.
2. Position the cursor to "D/A bit" in the menu window and press **EXECUTE**.
If "Complete" is displayed, press **COMMAND** → **EXECUTE**.
In other cases, display will look like as Fig. D.

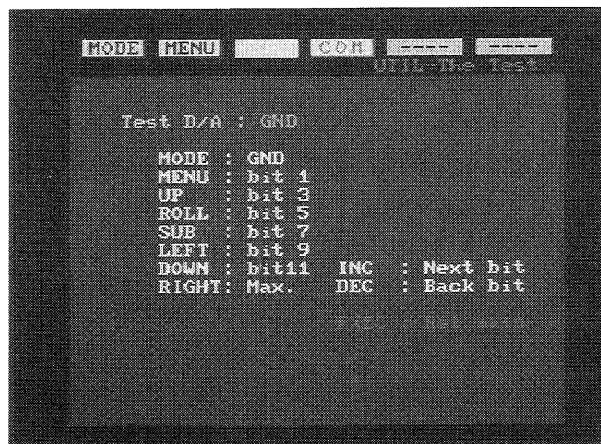


Fig.D

--- Test Program ---

Entered this mode the display shows the list which relates panel switches to bits. Pressing a defined switch will set the corresponding D/A bit (bit 0 to bit 12) which will generate a square-like waveform, resulting in an audio sound from OUTPUT.

The GND on the screen means all "clear or 0" bits, and the MAX all "1" bits.

Audio sound also reflects these level notations.

NOTE: This test ignores MSB 3 bits (13-16), keeping them at 0 level.

3. Press panel buttons defined in the screen one by one and verify that the 0 button generates 0 (GND) output, the 2 button generates the voltage as large as twice that generated from button 1. The button 3 generates 4 times the button 1, etc., up to maximum voltage of 2.0Vpp.
4. Press **EXECUTE** ("Complete" displayed).
5. Press **COMMAND** to return to the menu window.

3. (調整用の) 持続音の音量が最小になるようにVR2を調整する。
4. **EXECUTE** ボタンを押す。
("Complete" が表示される。)
5. **COMMAND** ボタンを押す、メニューウィンドウへ戻る。

D/Abit

D/Aコンバータ回路のビット検査を行います。

●検査方法

1. モニター・アンプとオシロスコープをINDIVIDUAL OUTの1に並列に接続する。
2. カーソルボタンで"D/Abit"の欄にカーソルを移動し、**EXECUTE** ボタンを押す。この時"Complete"と出た場合、再度 **COMMAND** → **EXECUTE** と押す。Fig. Dの様な表示になり、本テストモードに入る。

検査プログラム説明

本テストモードに入ると、CRT画面にパネルのスイッチとD/Aコンバータの各ビットとの対応表が表示されます。この表に示されている任意のスイッチを押すと、そのスイッチに対応しているD/Aコンバータのビット(bit 0~12)のみが立ち、矩形波に近い音でOUTPUTから出力されます。対応表のGNDとは、すべてのビットが立たず出力が無いことを表し、またMAXとはすべてのビット(bit 0~12)が立っていることを表しています。

注意 D/Aコンバータは16ビットですが、この検査プログラムでは下位13ビット(bit 0~12)のチェックのみで、上位3ビットは無視(常にビットは立たない状態)にしています。

3. 対応表に従いパネル上のスイッチを押す、GNDでは出力がゼロbitを、1つ上げていくごとに出力レベルが倍々となっていくことを確認する。またMax時、出力レベルが約2.0Vp-pであることを確認する。
4. **EXECUTE** ボタンを押す。
("Complete" が表示される。)
5. **COMMAND** ボタンを押す、メニューウィンドウへ戻る。

RC-100 CHK

This test checks functions of the remote controller RC-100 as well as makes it possible to check mouse MU-1 and footswitch DP-2 that are to be linked to the RC-100.

Testing

1. Position the cursor to "RC-100 CHK" field by using the cursor button and then press **EXECUTE** to enter into the test mode. (Fig. E)

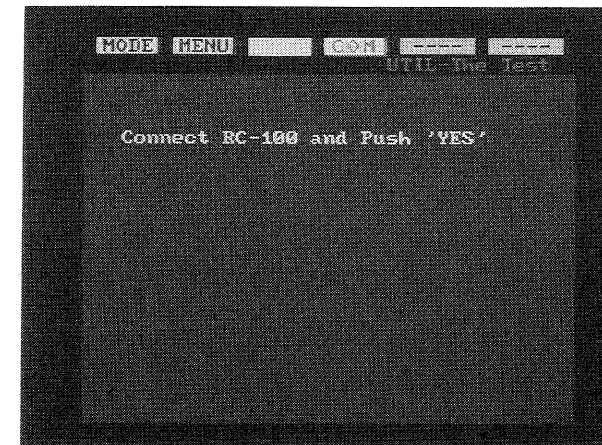


Fig.E

2. Connect MU-1 and DP-2 (s) to the correct jacks on the RC-100, respectively (one DP-2 to either of REC or START/STOP; or two DP-2's to both).
3. Connect the RC-100 to the S-330 and press RESET on the RC-100 panel.
4. Press **INC/YES** button on the S-330 to display the table as shown in Fig. F on the screen.
5. Press a button on the RC-100; a mark as shown in Fig. G should appear in front of the field given the button name just pressed. Proceed to the remaining buttons and confirm the mark for each button name field. Also check the LED, if any, in a button for lighting, upon pressing the button.



Fig.F

●RC-100CHK

リモートコントローラーRC-100の動作チェックを行います。

(RC-100に接続するマウスMU-1及びフット・スイッチDP-2も同時にチェック可能です。)

●検査方法

1. カーソルボタンで"RC-100CHK"の欄にカーソルを移動し、**EXECUTE** ボタンを押す。
(本テストモードへ入る。Fig. E)

2. MU-1及びDP-2をRC-100に接続する。
3. RC-100をS-330に接続し、RC-100のリセットボタンを押す。
4. S-330の **INC/YES** ボタンを押す。
(CRT画面はFig. Fのようになる。)
5. RC-100の各ボタンを押していき、対応するスイッチ名の左側にマークがFig. Gのように表示されるかを確認する。
(LED付きボタンの場合は、LEDも点灯するか確認する。)

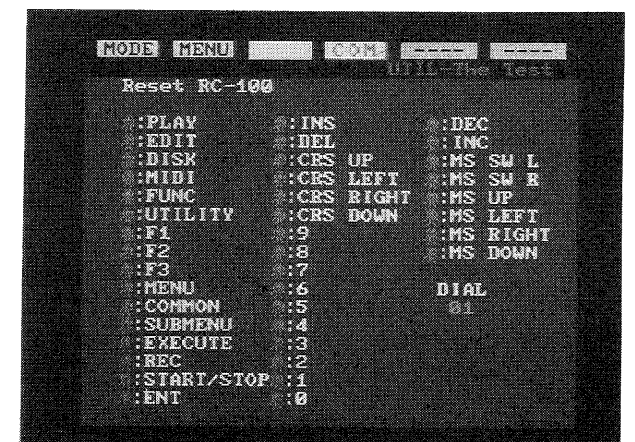


Fig.G

6. Rotate the alpha dial counterclockwise; "FF" should appear just below "DIAL" on the screen; rotate the dial clockwise and "01" should appear.
7. Move the mouse in directions and confirm the mark appearing in front of each MS direction field (e.g. MS UP). Also check MS SW fields for a mark upon pressing the switch on the mouse.
8. Press **EXECUTE** to display "Complete".
9. Press **COMMAND** to return back to the menu window.
10. Re-enter into RC-100 CHK mode by positioning the cursor to "RC-100 CHK" field and pressing **EXECUTE**.
11. Depress DP-2(s). A mark should appear in front of REC (or REC and START/STOP) on the screen.
12. Press **EXECUTE** to display "Complete".
13. Press **COMMAND** to return to the menu window.

Software Version Display Mode

Running this mode enables the CRT to display software version of the system disk and the S-330 internal ROM. (Down to 2 digits below decimal point.)

1. Connect the S-330 to the CRT. Turn the CRT on.
2. Insert the system disk or the utility disk into the disk slot.
3. Press the following buttons in sequence by following the arrows.

MODE → ▾ → ▾ → ▾ →
 EXECUTE → ▾ → EXECUTE →
 MENU → DEC/NO → DEC/NO

CHANGE INFORMATION

Add capacitor array RA7 CXKD8X220K

(NOTE: RA7 stands for resistor array since original design intended to use it.)

EFF.SN881138-up

Purpose: To smooth out noise on the CPU data bus.

6. アルファダイヤルを左側に回すと、“FF”左側に回すと“01”という値がCRT画面のDIALの下に表示されるかを確認する。
7. マウスを動かした時、対応する方向名 (MS LEFT etc...) の左側にマークが表示されるかを確認する。また、マウスのスイッチを押した時対応するスイッチ名の左側にマークがでることも確認する。
8. **EXECUTE** ボタンを押す。
 (“Complete”が表示される。)
9. **COMMAND** ボタンを押す。
 (メニューウィンドウへ戻る。)
10. カーソルボタンで“RC-100CHK”の欄にカーソルを移動し、**EXECUTE** ボタンを押し、再度本モードへ入る。
11. DP-2を踏み込み、接続しているジャック名 (REC または、START/STOP) の左側にマークが表示されることを確認する。
12. **EXECUTE** ボタンを押す。
 (“Complete”が表示される。)
13. **COMMAND** ボタンを押す。
 (メニューウィンドウへ戻る。)

■バージョン確認モードについて

本モードを用いる事により、システムプログラムバージョン (少数点以下2桁まで表示) 及び本体内のROMバージョンをCRTの画面で確認することができます。

1. S-330とCRTを接続し、電源を入れる。
2. 付属のシステムディスクまたは、ユーティリティディスクを挿入。
3. ディスクからのロードが終了PLAY画面が出たら、次の手順でボタンを押す。

MODE → ▾ → ▾ → ▾ →
 EXECUTE → ▾ → EXECUTE →
 MENU → DEC/NO → DEC/NO

■変更案内

CPU BOARD RA7 コンデンサアレイ CXKD8×220K

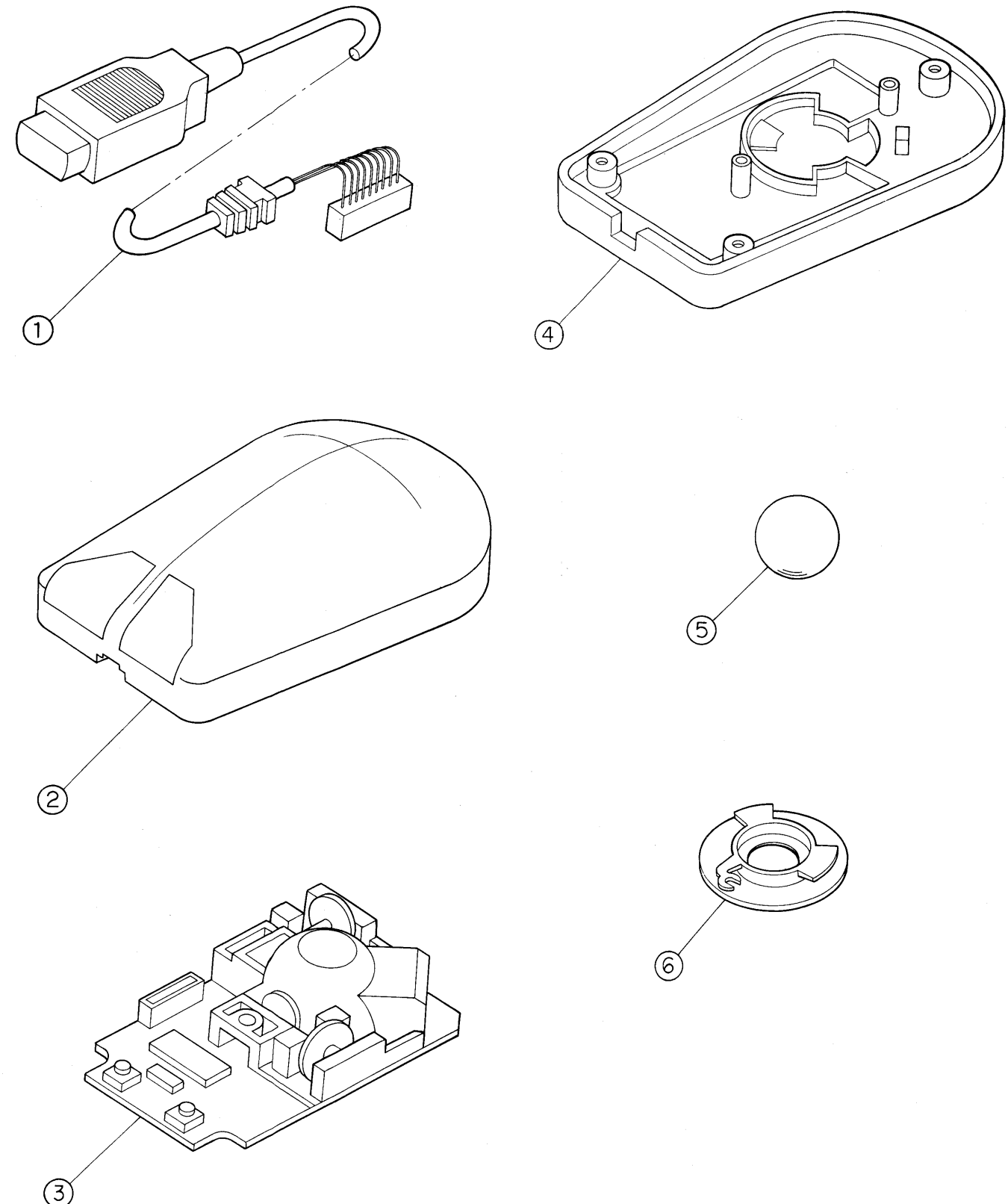
取り付け

実施製番 SN881138

初期の設計段階では、抵抗アレイを使用する予定であったため、基板のシルク表示はRA7となっています。

理由 CPUデータバス安定のため

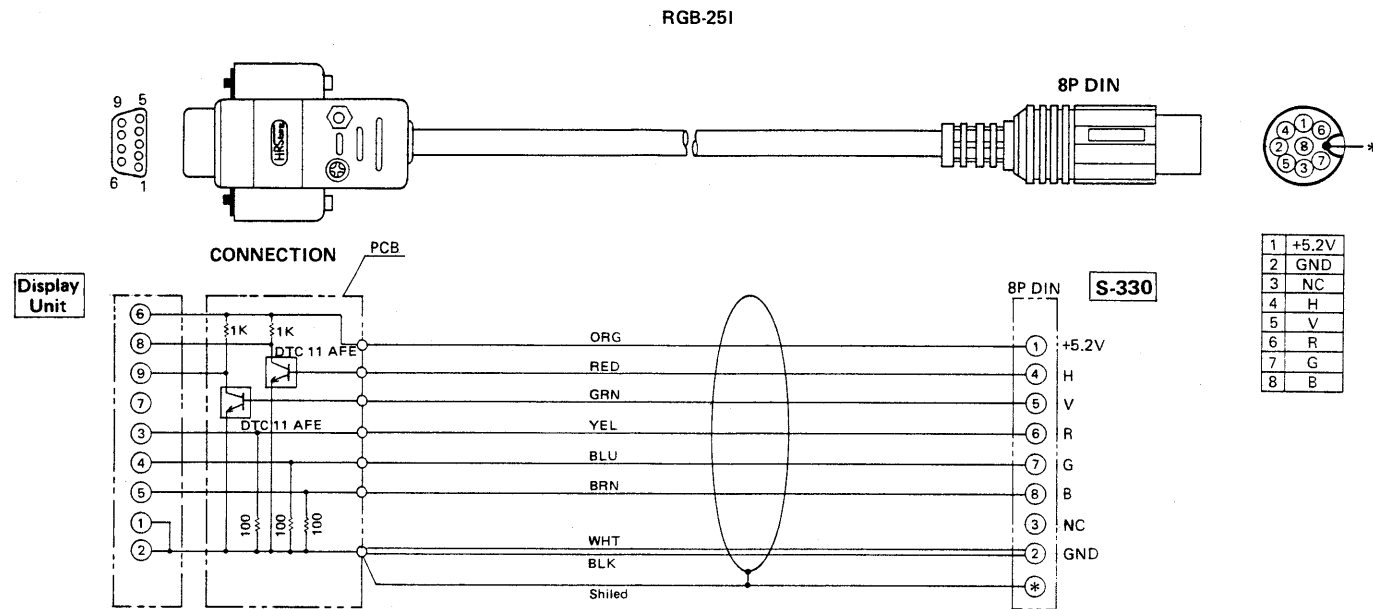
MOUSE (MU-1) Assy 22433515



MOUSE (MU-1) Assy 22433515

1	CABLE	BLK	23483216
2	Button Cover	BLK	22043137
3	PCB Assy		22923571
4	CASE	BLK	22013214
5	Coating Ball		22173747
6	Retainer	BLK	22133423

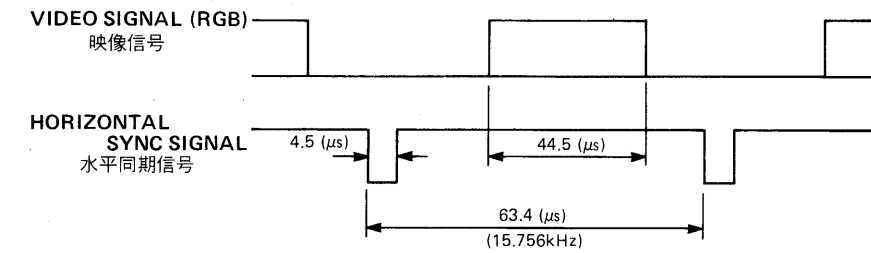
RGB CABLE



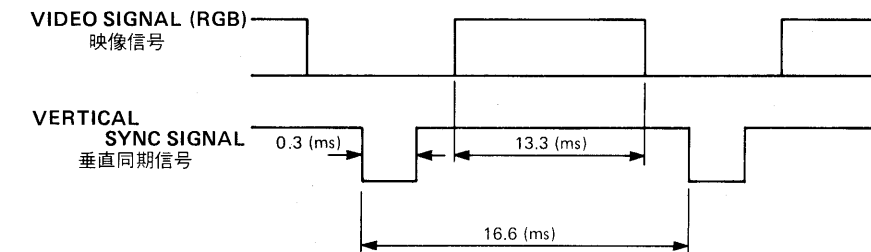
RGB OUT TIMING CHART

RGB出力タイミングチャート

● HORIZONTAL SYNC
水平同期

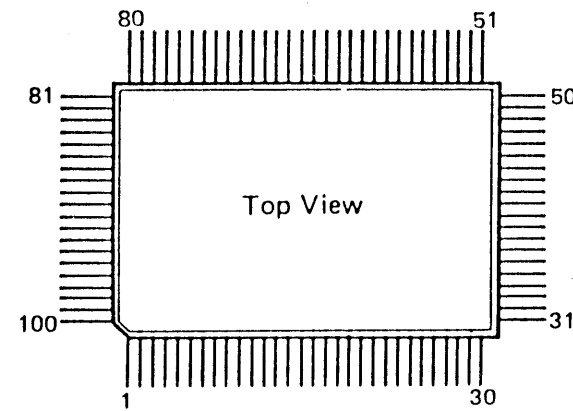


● VERTICAL SYNC
垂直同期



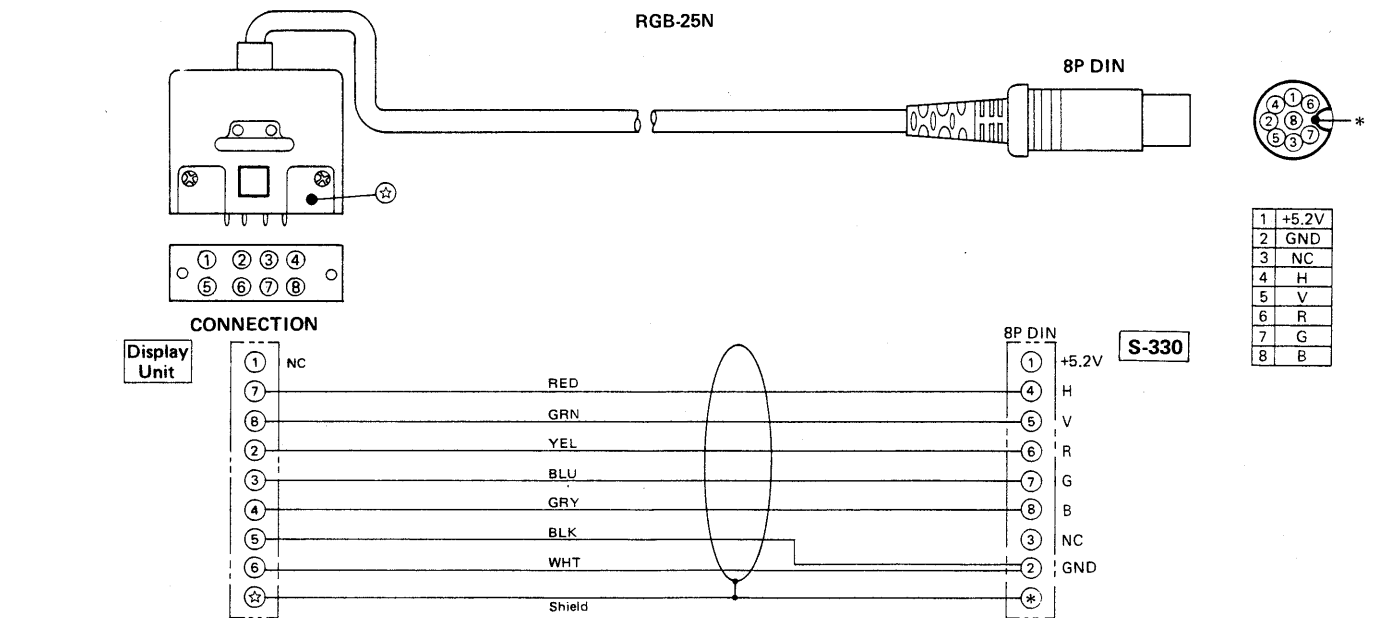
IC DATA ICデータ

GATE ARRAY
SA-16

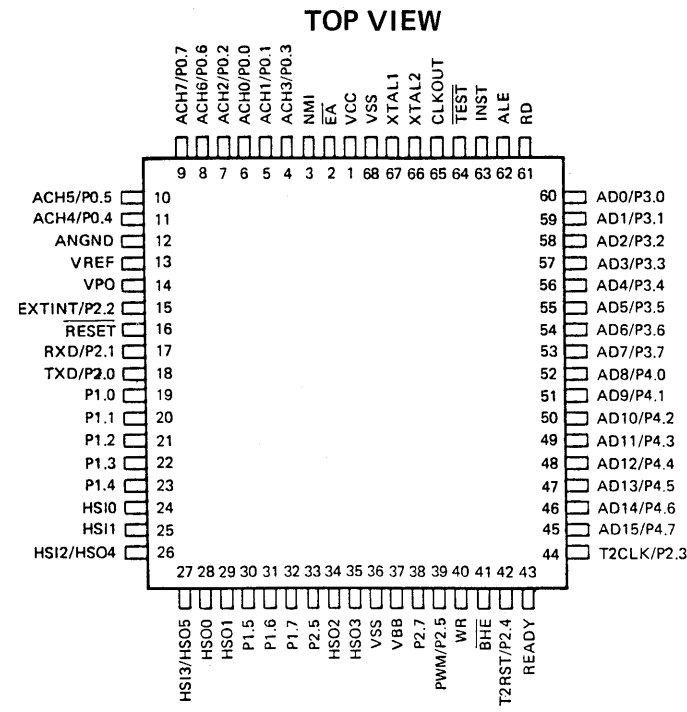


PIN No	PIN NAME	I/O	PIN No	PIN NAME	I/O
1	WTWR	O	51	DA9	O
2	RAS	O	52	DA10	O
3	CAS0	O	53	DA11	O
4	CAS1	O	54	DA12	O
5	CAS2	O	55	DA13	O
6	CAS3	-	56	DA14	O
7	VCC	O	57	DA15	O
8	WTA0	O	58	VCC	-
9	WTA1	O	59	SH	O
10	WTA2	O	60	MXA	O
11	WTA3	O	61	MXB	O
12	WTA4	O	62	MXC	O
13	WTA5	O	63	MXD	O
14	WTA6	O	64	INH	O
15	WTA7	O	65	RST	I
16	WTAB	O (NC)	66	SYNO	O
17	WTA9	O (NC)	67	SYN1	I
18	WTA10	O (NC)	68	TEST2	I
19	WTA11	O (NC)	69	TEST1	I
20	WTA12	O (NC)	70	XTAL1	XIN
21	WTA13	O (NC)	71	XTAL2	XOUT
22	WTA14	O (NC)	72	TESTCK	I
23	WTA15	O (NC)	73	WR	I
24	WTA16	O (NC)	74	RD	I
25	WTA17	O	75	CS	I
26	GND	-	76	A0	I
27	WTD0	I/O	77	A1	I
28	WTD1	I/O	78	A2	I
29	WTD2	I/O	79	A3	I
30	WTD3	I/O	80	GND	-
31	WTD4	I/O	81	VCC	-
32	WTD5	I/O	82	A4	I
33	WTD6	I/O	83	A5	I
34	WTD7	I/O	84	A6	I
35	WTD8	I/O	85	A7	I
36	WTD9	I/O	86	A8	I
37	WTD10	I/O	87	A9	I
38	WTD11	I/O	88	A10	I
39	VCC	-	89	A11	I
40	SARin	I	90	A12	I
41	GND	-	91	DB0	I/O
42	DA0	O	92	DB1	I/O
43	DA1	O	93	DB2	I/O
44	DA2	O	94	DB3	I/O
45	DA3	O	95	DB4	I/O
46	DA4	O	96	DB5	I/O
47	DA5	O	97	DB6	I/O
48	DA6	O	98	DB7	I/O
49	DA7	O	99	INT	O
50	DA8	O	100	GND	-

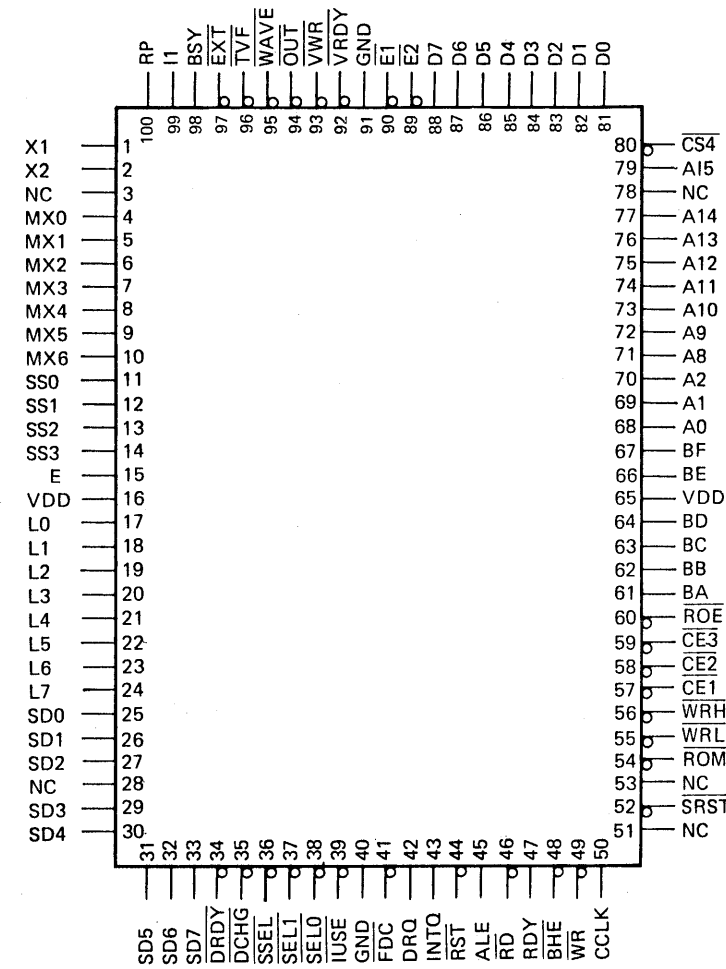
* XIN, XOUT : crystal
* OUTPUT LOAD CONDITION : CL=100pF



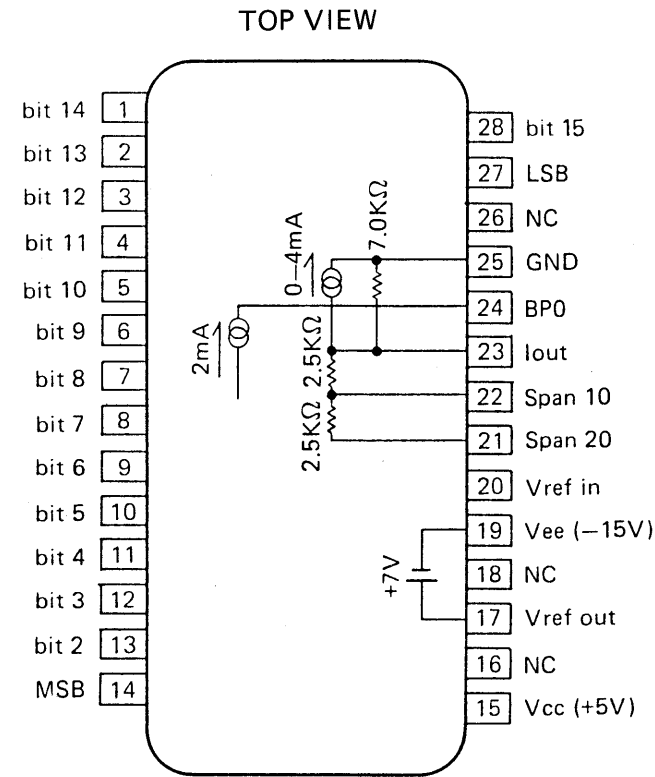
8097-90
Looking Down on
Component Side
of PC Board



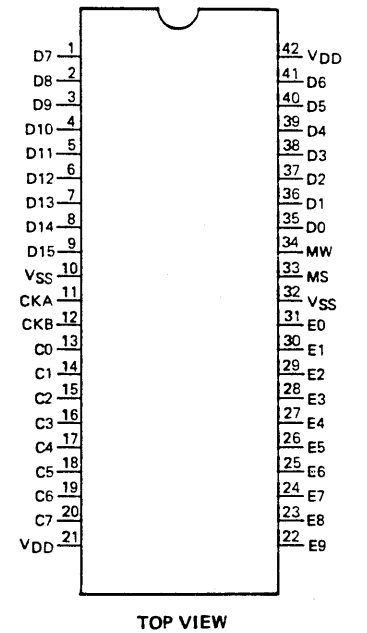
M60013-0137FP



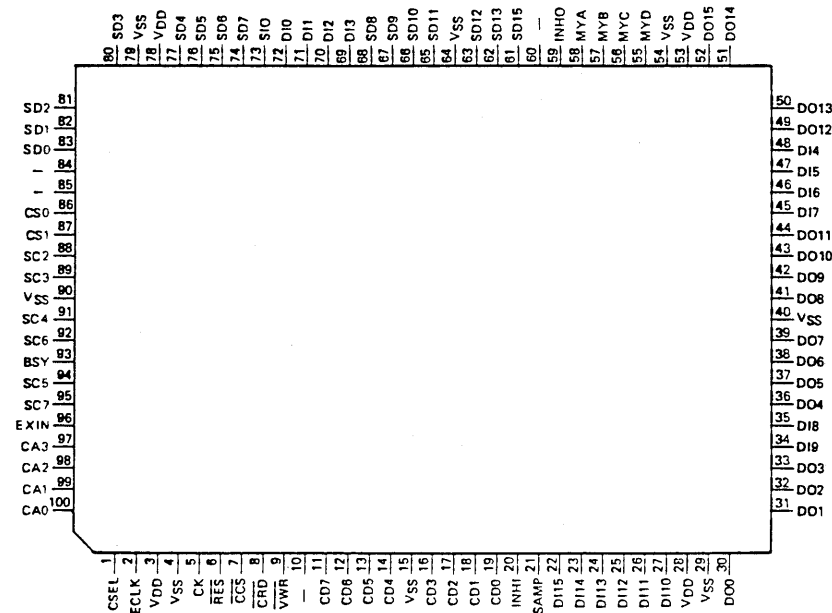
D/A CONVERTER EHK-MD6209



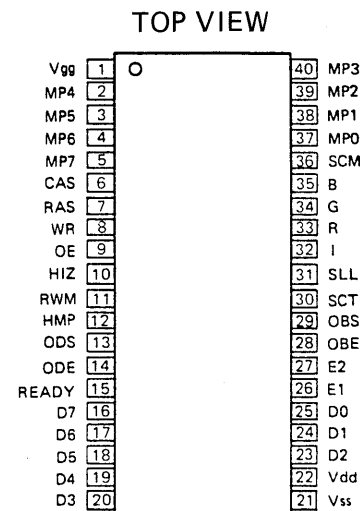
TVF16



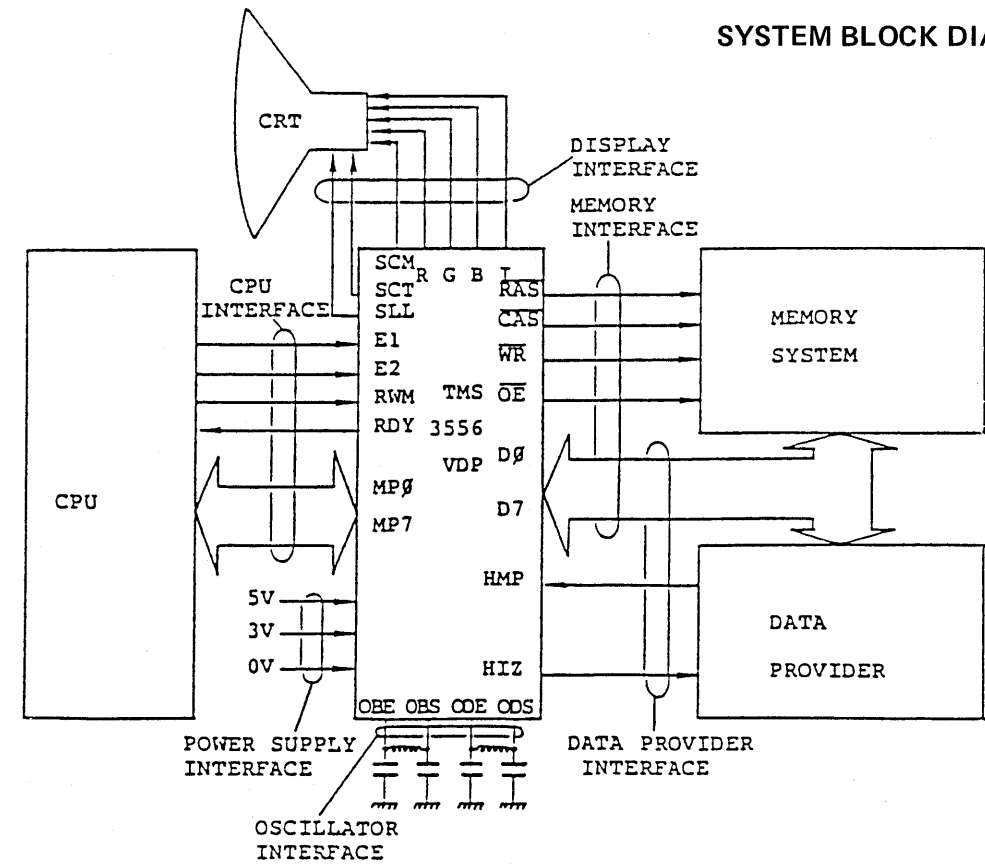
MB654419U



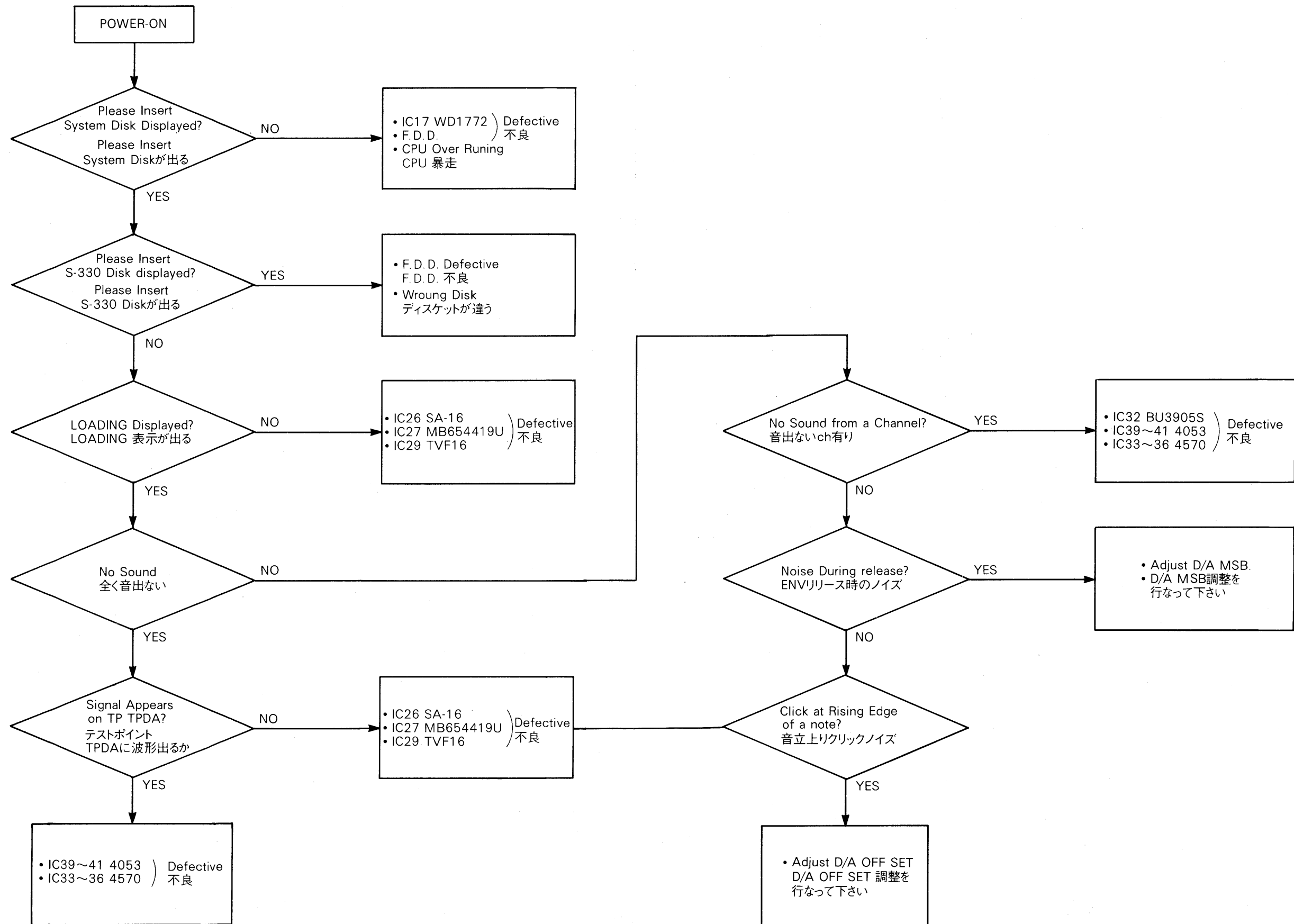
VIDEO DISPLAY PROCESSOR TMS3556NL



SYSTEM BLOCK DIAGRAM



TROUBLESHOOTING Logic Tree トラブルシューティング・ガイド

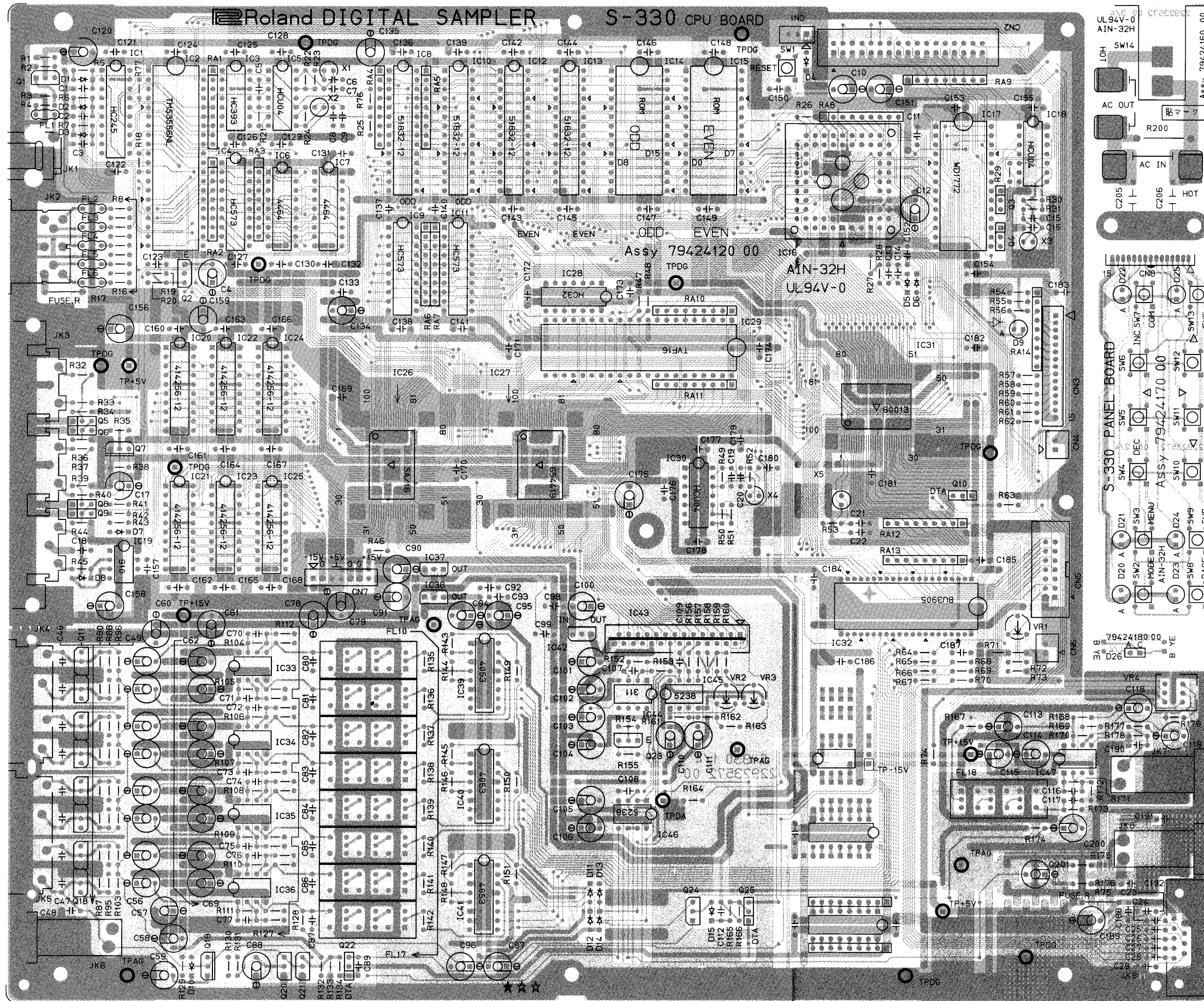


1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39

CPU BOARD

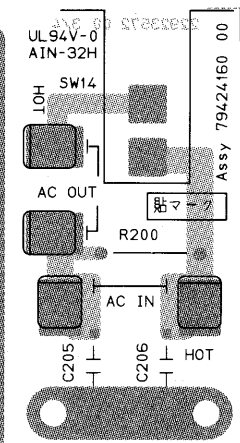
Assy 79424120 00 (pcb 2292357200)

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U

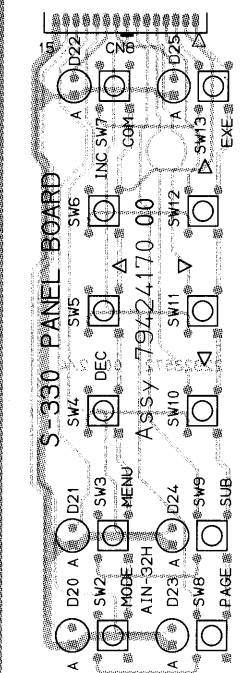


Replacement CPU Board includes Power SW Board, Panel Board LED Board.
 補修用CPU BOARDは以下の基板を含みます。

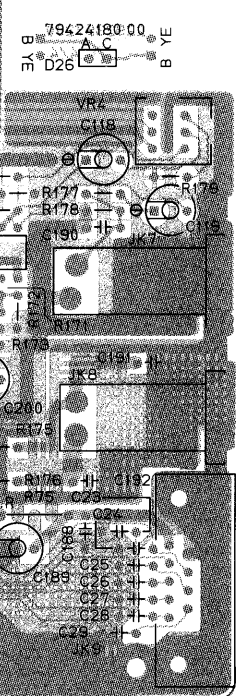
← POWER SW BOARD



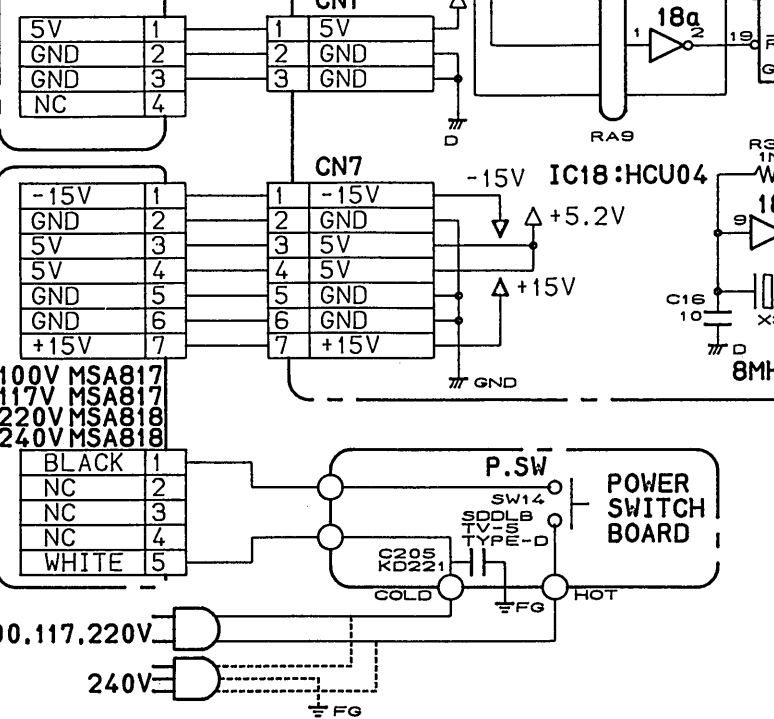
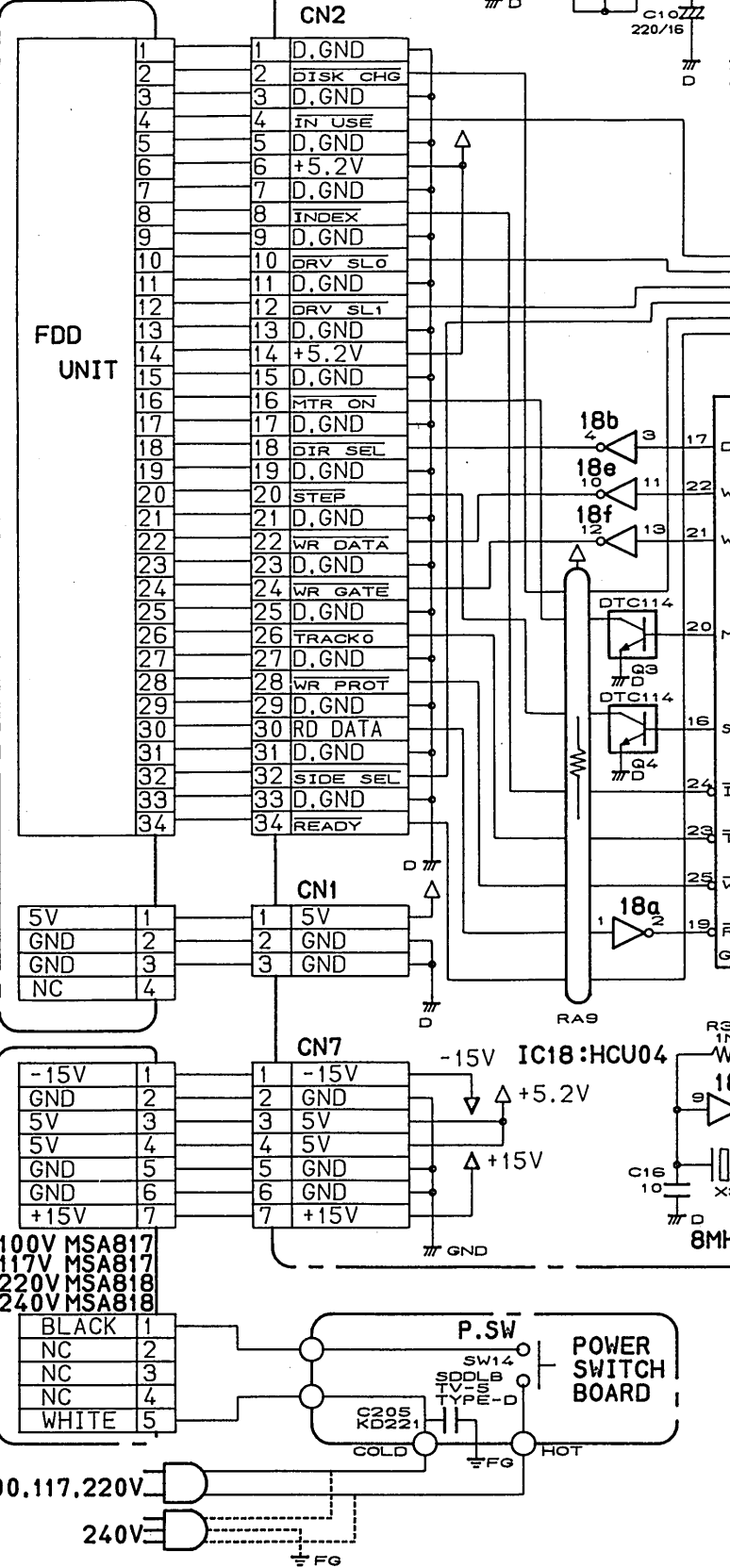
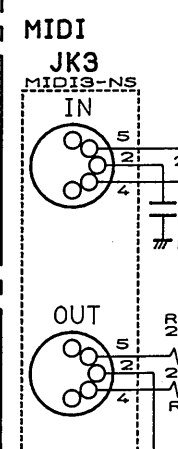
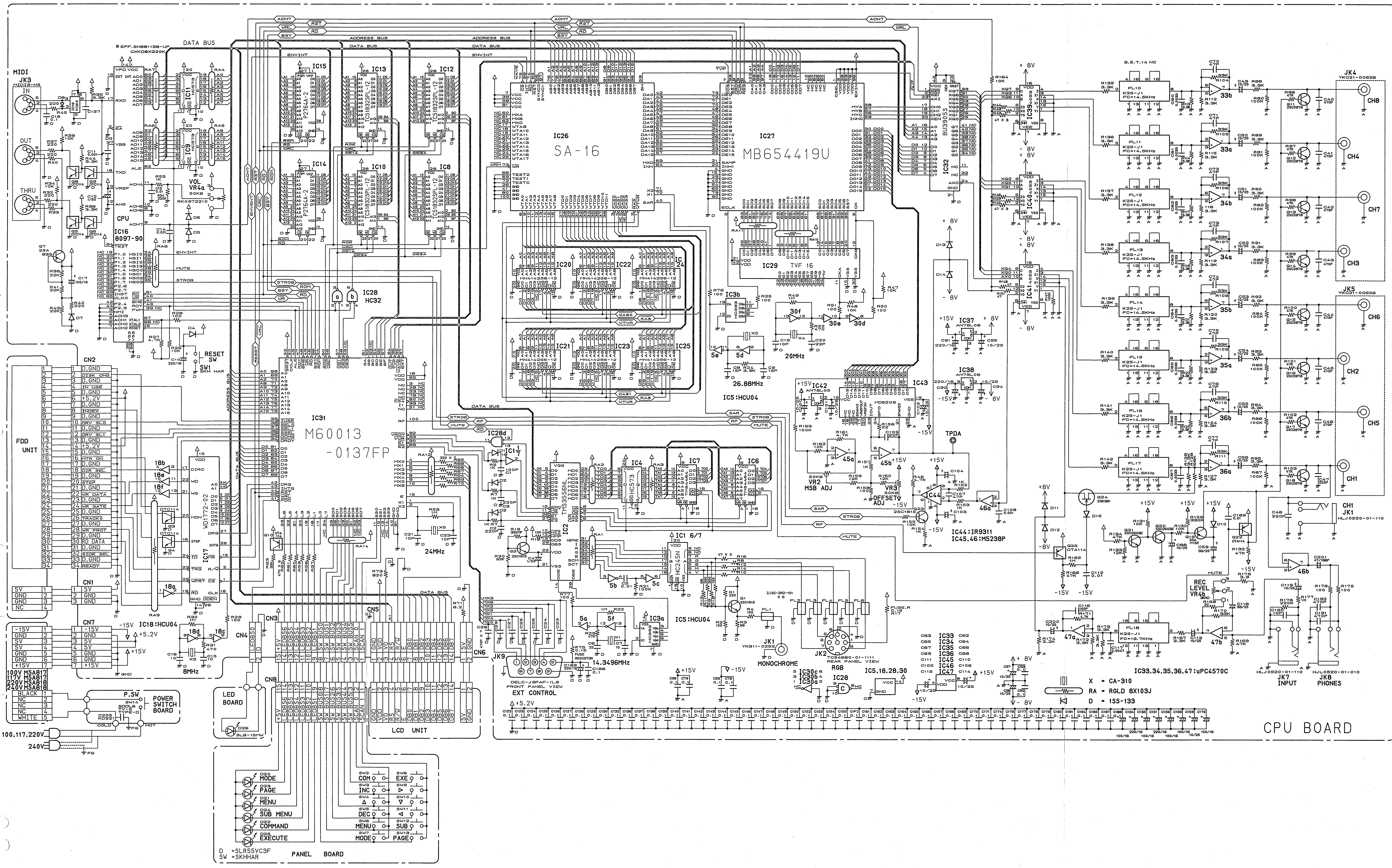
← PANEL BOARD



← LED BOARD



View from Component Side.



CPU BOARD