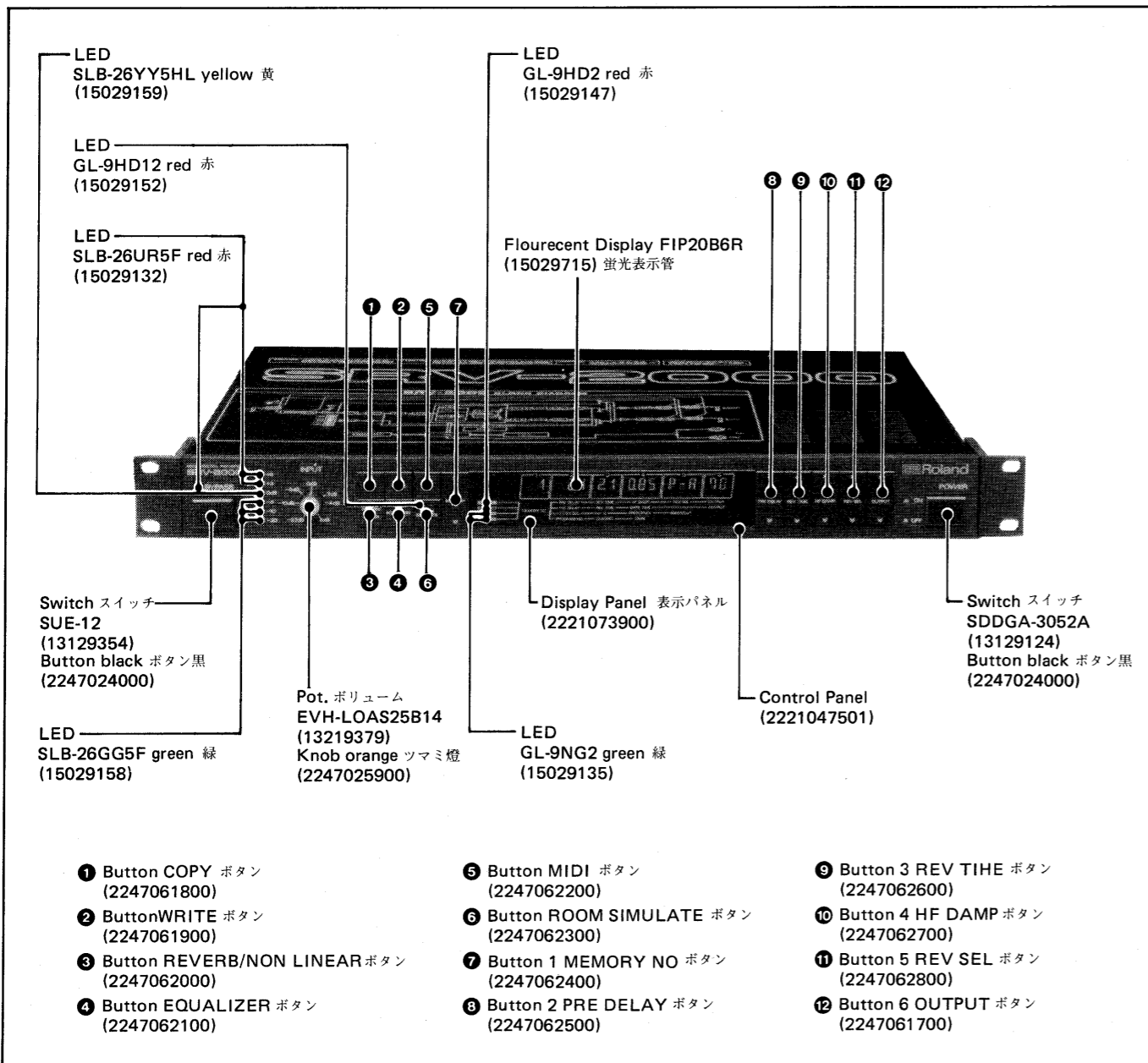
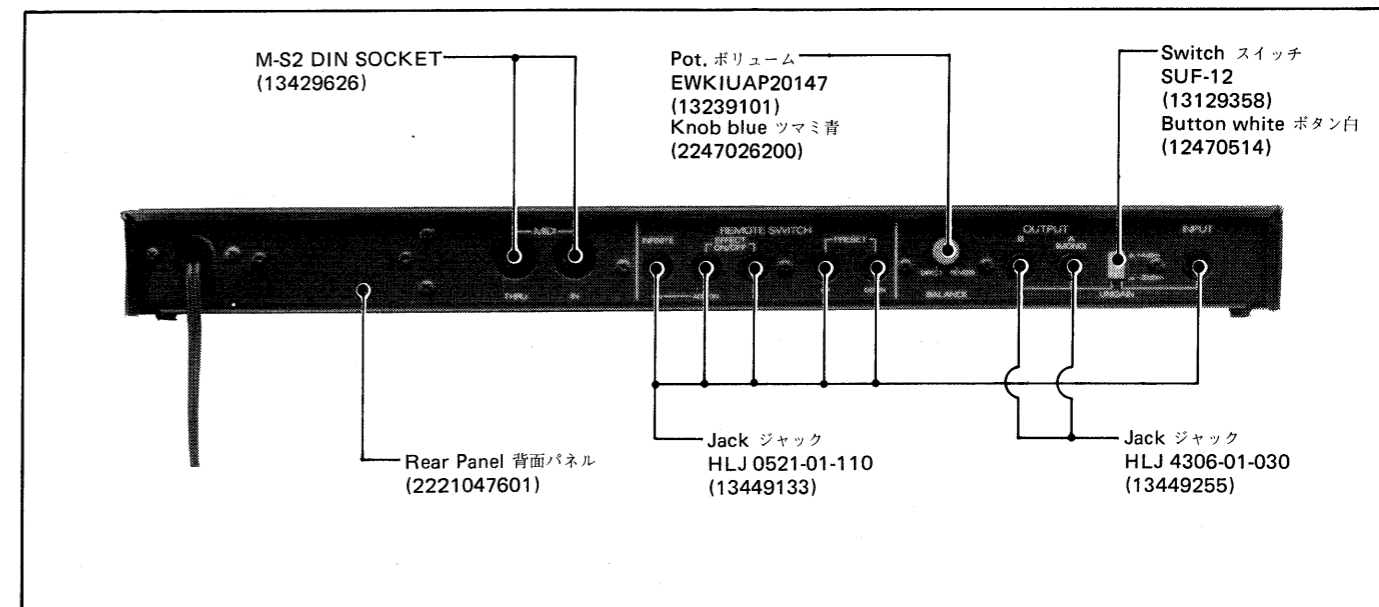


# SRV-2000 SERVICE NOTES *First Edition*

## SPECIFICATIONS

<b>Input Level</b>	: +4dBm -20dBm	<b>HF Damp Control</b>	: x 0.05 to x 1.00
<b>Input Impedance</b>	: 56KΩ	<b>Gate Time</b>	: 10 to 450ms
<b>Output Level</b>	: +4dBm (max. +18dBm) -20dBm (max. -5dBm)	<b>Reverb Selection</b>	: Plate A, B (2 stages) Hall 15 to 37 (5 stages) Room 0.3 to 37 (8 stages)
<b>Output Impedance</b>	: 100Ω (+4dBm) 650Ω (-20dBm)	<b>Equalizer</b>	
<b>AD-DA Conversion</b>	: 16 bit linear	<b>Low</b>	: Band width 40Hz to 1kHz Boost/Cut +12dB to -24dB Q 0.2 to 9
<b>Frequency</b>	: 10Hz to 50kHz +0 dB (Direct) -1 dB	<b>Middle</b>	: Band width 250Hz to 9.99kHz Boost/Cut +12dB to -24dB Q 0.2 to 9
<b>Response</b>	: 30Hz to 10kHz +1 dB (Reverb) -2.5dB	<b>High</b>	: Band width 800Hz to 9.99kHz Boost/Cut +12dB to -24dB Q 0.2 to 9
<b>S/N Ratio (IHF A) at Rated Input/Output</b>	: 95dB (Direct) 80dB (Reverb)	<b>Power Consumption</b>	: 37W
<b>Dynamic Range</b>	: 105dB (Direct) 90dB (Reverb)	<b>Dimensions</b>	: 482(W) x 47(H) x 362(D)mm/ 19" x 1 7/8" x 14 1/4" 19" Rack Mount (EIA-1U)
<b>Total Harmonic Distortion (1kHz at Rated Input/Output)</b>	: Less than 0.01% (Direct) Less than 0.03% (Reverb)	<b>Weight</b>	: 5.2kg/11lb. 8 oz
<b>Pre-Delay Time</b>	: Reverb Mode: 0 to 160ms Non-linear Mode: 0 to 120ms	<b>Accessories</b>	: Connection Cord x 2
<b>Reverb Time</b>	: Reverb Mode: 0.1 to 99s Non-linear Mode: -0.9 to 99s		



## TABLE OF CONTENTS

### EXPLODED VIEW

### PARTS LIST

### CHANGE INFORMATION

### CIRCUIT DESCRIPTION

### CHECKING AND ADJUSTMENT

### BLOCK DIAGRAM

### SWITCH BOARD

### DIGITAL MAIN BOARD

### ANALOG BOARD

### GATE ARRAY BOARD

## 目次

### 分解図

### パーツ・リスト

### 変更案内

### 回路解説

### 点検及び調整

### ブロック図

### スイッチ・ボード

### デジタル・メイン・ボード

### アナログ・ボード

### ゲート・アレイ・ボード

## Page

2

3

4

5

9

11

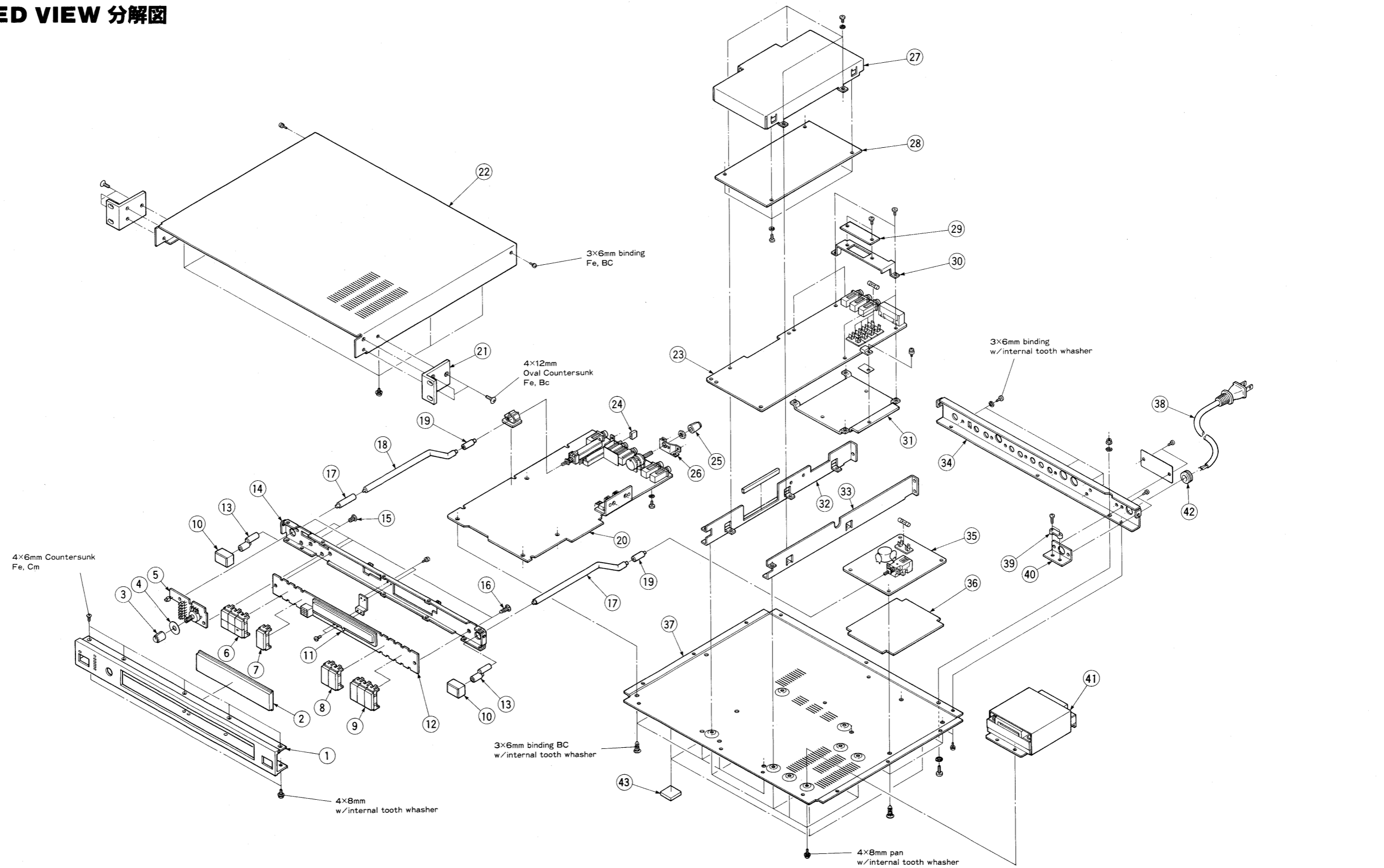
12

14

16

18

EXPLODED VIEW 分解図



分解図部品一覧

1	Control Panel	コントロール・パネル	(221047501)	17	Joint C	ジョイントC	(2215040600)	32	Stay L	ステーL	(2214010600)
2	Display Panel	表示パネル	(2221073900)	18	Connection Rod	連結棒	(2214020700)	33	Stay R	ステーR	(2214010500)
3	Knob 10mm dia. orange	ツマミ10φ橙	(2247025900)	19	Joint B	ジョイントB	(2215040200)	34	Rear Panel	背面パネル	(2221047601)
4	Mask	マスク	(2224010400)	20	Analog Board	アナログ・ボード	(7412611000)	35	Power Supply Board	電源ボード	(7412606000)
5	Volume Board	ボリューム基板	(7412613002)	21	Rack Angle	ラック・アングル	(2212050900)	36	Spacer	スペーサ	(2216032200)
6	Button Assembly	ボタン組立品	(2247093100)	22	Top Cover	上面カバー	(2202027200)	37	Bottom Cover	底面カバー	(2202027301)
7	Button Assembly	ボタン組立品	(2247091300)	23	Digital Main Board	デジタル・メイン・ボード	(7412608000)	38	AC cord	ACコード	(13439801Y0)
8	Button Assembly	ボタン組立品	(2247091700)	24	Button white	ボタン白	(12470514)		100V		(13439836D0)
9	Button Assembly	ボタン組立品	(2247093000)	25	Knob 10mm dia. blue	ツマミ10φ青	(2247026200)		117V		(1343987D0)
10	Button black	ボタン黒	(2247024000)	26	VR Holder	ボリューム・ホルダ	(7412611000)		220V		(13439807H0)
11	Fluorescent Display FIP20B6R	蛍光表示管	(15029715)	27	Shield Chassis	シールド・シャーシ	(2281049600)		240VE		(13439808D0)
12	Switch Board	スイッチ基板	(7412612006)	28	Gate Array Board	ゲート・アレイ・ボード	(7412610005)		240VA		(12369410)
13	Joint A	ジョイントA	(2215040500)	29	Battery Board	電池ボード	(2292025400)	39	Line Cord Strain Relief 1702B	ACコード固定具	(12369410)
14	Front Chassis	前面シャーシ	(2281049501)	30	PCB Holder	PCBホルダ	(2219082000)	40	Holder	ホルダ	(2219078401)
15	Locking Card Spacer	ロッキング・カード・スペーサ	(12199559)	31	Heatsink	ヒートシンク	(2246013200)	41	Transformer	トランス	(22450421N0)
16	Locking Card Spacer black	ロッキング・カード・スペーサ黒	(12199557)						110/117V		(22450420D0)
									220/240V		(22450420D0)
									13V4801	コード・ブッシュ	(12369510)
										ゴム足	



**CHANGE INFORMATION**

**LOW PASS FILTER Analog Board**

Two kinds of ICs have been employed for LPFs but the later one superseded the former for providing better quality reverb as shown below.

EFF SN	LPF 1	LPF 2, LPF 3	ASSOCIATED CHANGE
	AFL89WB10250C5		
563400	AFL89WB10250C8	AFL89WB10250C5	R47 : 3.3k to 4.7k R48 : 68k to 100k
576700	AFL89WB10250C8		

**NOTES**

LPF 2 and LPF 3 must be of the same version for better reverb sound balance.

Replacing LPF 1 of 250C5 version with 250C8 requires the value change of R47 and R48.

**TRANSISTORS Analog Board**

Q55: 2SA1115F to 2SA1015Y

Q57: 2SC2603F to 2SC1815Y

This change also contributes to have a high quality reverberation.

**RAMs Gate Array Board**

IC503 - IC506

MB8149-45 N-MOS to compatible C-MOS HM6148HP-45

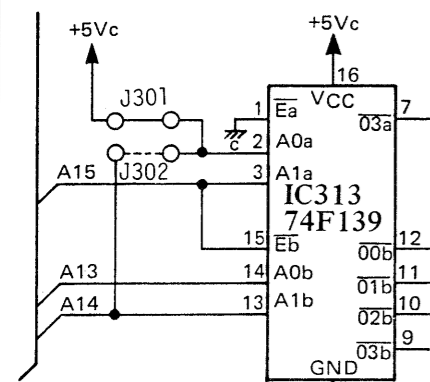
To reduce heat generation.

**ROM Digital Board**

IC307 (early products only) and IC308

Besides program updates, ROM chips are changed. Use of the latest ROM is recommended for not only to have less heat dissipation but also to have an improved program.

Compatible except for software update.

EFF SN	IC307	IC308	NOTE												
	MBM27128-20 (15179690)	MB27128-20 (15179711)	128k bit each												
599400		MBM27256-20 (15179725)	256k bit N-MOS One 256k-bit ROM makes IC307 mounting hole obsolete; while art work is kept unchanged. Compatibility is achieved by reconnecting IC313 pin 2 (Jumper J301 or J302). <table border="1" data-bbox="563 1617 949 1764"> <thead> <tr> <th>PROM</th> <th>Jumper</th> <th>J301</th> <th>J302</th> </tr> </thead> <tbody> <tr> <td>27128 x 2</td> <td></td> <td>OPEN</td> <td>SHORT</td> </tr> <tr> <td>27256 x 1</td> <td></td> <td>SHORT</td> <td>OPEN</td> </tr> </tbody> </table> 128Kビット2個使用を256Kビット1個に変更。基板パターンは変更なし。互換性があるのでIC307とIC308を1個のMB27256-20と交換することが可能。ただし、IC313ピン2のジャンパーを変更する必要がある。	PROM	Jumper	J301	J302	27128 x 2		OPEN	SHORT	27256 x 1		SHORT	OPEN
PROM	Jumper	J301	J302												
27128 x 2		OPEN	SHORT												
27256 x 1		SHORT	OPEN												
601200		MBM27C256-20-727 (15179727)	256k bit C-MOS For low dissipation												

**変更案内**

**ローパス・フィルタ アナログ基板**

LPFには2種類のICが使用されていたが、単一品種に統一。

**注**

音のバランスを保つ為、LPF.2とLPF.3には同一品種を用いる必要がある。LPF.1を250C5から250C8へ変更したい場合には、R47、R48を表中の指示値に変更する。

**トランジスタ アナログ基板**

英文欄参照。リバーブ音の音質改善のため。

**RAM ゲート・アレイ基板**

IC503~IC506

発熱を低くするため、N-MOS MB8149-45から、C-MOS HM6148HP-45へ変更。互換性はある。

**ROM デジタル基板**

IC307(初期製品のみ)およびIC308

プログラムのバージョンアップ以外にROMチップ自体の変更も行なわれています(ハード上の改善および発熱低減等)。

注:チップ自体は互換性があります。表中の説明参照。

**ROM Version 1.5 - - - - Released Oct. 1985**

This revision incorporates updates that cure the following problems.

- Distortion at lower amplitude during a long hour operation.
- No display upon power ON - - - with COPY, REVERB/ NON LINEAR, WRITE and EQUALIZER being pressed simultaneously.
- Misdisplay when mode is changed to INFINITE via foot switch while parameters are shifted on the panel.
- Drop of edit point while manipulating COPY and MEMORY NO. keys.
- No "OMNI ON" display.
- In Receiving MIDI Exclusive Messages  
Misdisplay of PRE DELAY TIME between 100 and 109ms (e.g. 108 = 1.8).  
Display does not correspond to MIDI BLD parameter changes.  
Ignores the parameters followed by no EOX (F7).  
Ignores a part of exclusive messages when a previous exclusive message lacked EOX.  
ROM version 1.2 indicates an error message \*\*MIDI EX ERR\*\*.
- In DELAY (TEST) mode. Discrepancy between a set and an actual time delay.  
See "CHECKING and ADJUSTING".

**ROMバージョン**

昭和60年10月現在における最新バージョンはVer.1.5であって下記の諸点が改善されています。

- 長時間使用時における低レベル信号の歪
- 多数のボタン・スイッチを押しながら電源を入れた場合ディスプレイが無表示となる
- パラメータをボタン操作で変えながらフットスイッチでINFINITEへ切換えた際のディスプレイ表示不一致
- COPYおよびMEMORY 操作時のエディット・ポイント無表示
- OMNI ON無表示
- MIDI エクスクルーシブ・メッセージ受信時  
PRE DELAYタイム表示不一致  
BLDパラメータの表示不一致  
EOX(F7)の欠落したメッセージ内のパラメータの認識不能および、エクスクルーシブ・メッセージの完全受信不能(Ver.1.2では\*\*MIDI EX ERR\*\*を表示することがある)
- テストモード(ディレイ・モード)時のディレイタイム表示不一致  
(点検および調整の項参照)

# CIRCUIT DESCRIPTIONS

## GENERAL DESCRIPTION

An audio signal fed into analog board is preprocessed for digitalization before A/D conversion. The digital data is sent to SAR in gate array board via comparator in the serial format. Reverbrations derived from these digital audio data are all processed based on parameters supplied by the CPU --- also in digital format. The stages in the gate array work on arithmetic operation to provide all aspects of reverb sound such as reverb time, envelope, frequency response and amplitude. The resultant reverb is returned back to analog board in digital format where it is reconstituted to analog form, then divided into channels A and B in time sharing. The Gate Array Board is actually a Digital Signal Processor (DSP). The operation of DSP is hard to describe since processing speed is rather fast to distinguish one signal from the others presenting on the same bus as they are directed by the complicated software.

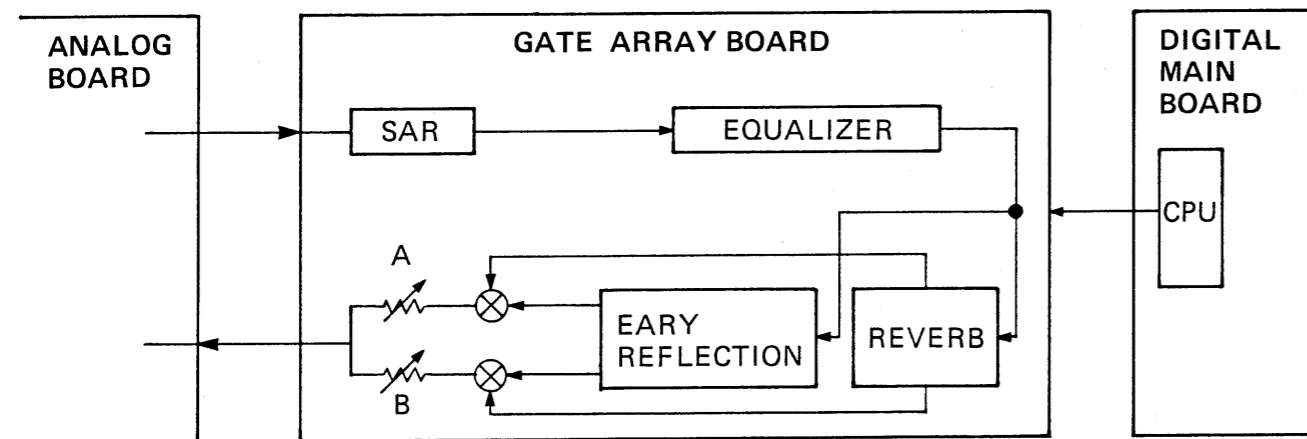
## 回路解説

### 概論

アナログ・ボードに入力されたオーディオ信号は、デジタル化に必要な前処理を受けた後、A/Dコンバータでデジタル信号に交換され、数値データとしてゲートアレイボードへシリアル形式で転送されます。

ゲートアレイボード内では、このデジタルデータからリバーブ音を作り出すのに必要な処理、すなわちリバーブのディケイ・タイム、エンベロープ、周波数特性等を全て数値演算に基づいて行ないます。この為に必要なパラメータの詳細はデジタル・メインボードのCPUから送られて来ます。

リバーブ音データはデジタルデータのままでアナログボードへ戻され、ここでアナログ信号に再変換された後、時分割方式でAチャンネルとBチャンネルに振り分けられます。以下各部の説明に入りますが、ゲートアレイ・ボードについては以下の理由から詳細は省略してあります。即ち、ゲートアレイボードは機能的にはDSP(デジタル・シグナル・プロセッサ)として動作しますが、1) 音声信号に対するソフトウェアの処理が複雑、2) 処理スピードが速く観察が難しい、3) 信号経路が複雑、等です。



## DETAILED DESCRIPTION

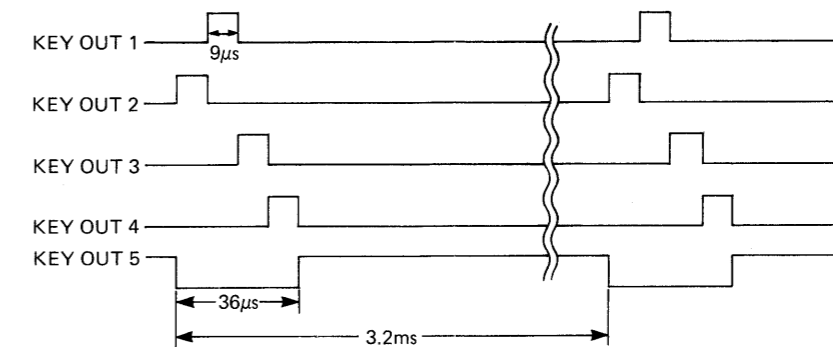
### 詳細

### SWITCH BOARD スイッチ・ボード

#### SWITCH MATRIX

	KEY OUT 1	KEY OUT 2	KEY OUT 3	KEY OUT 4	KEY OUT 5
KEY IN 1	MIDI	COPY	REV TIME DOWN	REV SEL DOWN	
KEY IN 2	ROOM SIMULATE	REVERB/NONLINEAR	REV TIME UP	REV SEL UP	
KEY IN 3	MEMORY NO UP	WRITE	PRE DELAY DOWN	HF DAMP DOWN	OUTPUT DOWN
KEY IN 4	MEMORY NO DOWN	EQUALIZER	PRE DELAY UP	HF DAMP UP	OUTPUT UP

### SWITCH SCANNING TIMING CHART



### ANALOG BOARD

#### Head Amp Q63-Q66

The gain is estimated from the equation  $R200/R201 + 1$ . The designed gain is 2.

#### Filter Driver Q12-Q17

Conditions the signal for matching low input impedance of LPF-1 while amplifying by 21 ( $R48/R47$ ).

#### Low Pass Filter LPF-1

Rolls off high frequencies to prevent aliasing from occurring in sampling.

\* Aliasing - The introduction of error into the Fourier analysis of a discrete sampling of continuous data when components with frequencies too great to be analyzed with the sampling interval being used contribute to the amplitudes of lower-frequency components. The significant effect in the digital reverb system being audible of beat sounds when the audio input has frequency components higher than one half the sampling frequency.

Version change took place on LPF-1 with accompanying resistor value changes ( $R47, R48$ ) for better tonality. See CHANGE INFORMATION.

#### Preemphasis Q4-Q11

Boosts highs to minimize quantization noise. Gain 1.77 at 1kHz and 3.66 at 10kHz.

### アナログ・ボード

#### ヘッド・アンプ Q63-Q66

増巾度は  $\frac{R200}{R201} + 1$  の式から求められ約2倍

#### フィルタ・ドライバ Q12-Q17

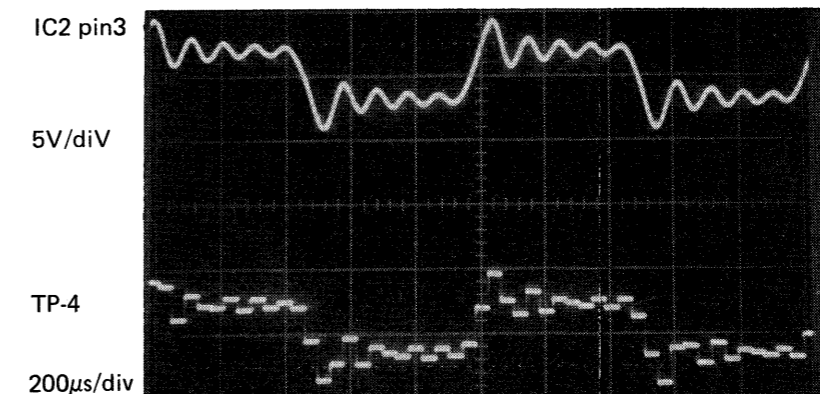
入力信号を低インピーダンス化するとともに、21倍増巾します。

#### ローパス・フィルタ LPF1

エイリアシングエラー防上用で、カットオフ周波数は10.25 KHzです。エイリアシングとは、オーディオ信号の周波数がサンプリング周波数の $\frac{1}{2}$ 以上になると発生し、ビート音を生じます。音質向上の為LPF1(およびLPF2, LPF3)が段階的に変更されています。関連抵抗( $R47, R48$ )の変更もあり、この値が音質に影響しますから、交換の際は「変更案内」を参照して下さい。

#### プリアンファシス Q4-Q11

入力信号の高域部分をブーストし、量子化ノイズを低減します。



INPUT ATT : 0dB  
UNIGAIN : -20dBm  
INPUT Signal : 200mVp-p Square

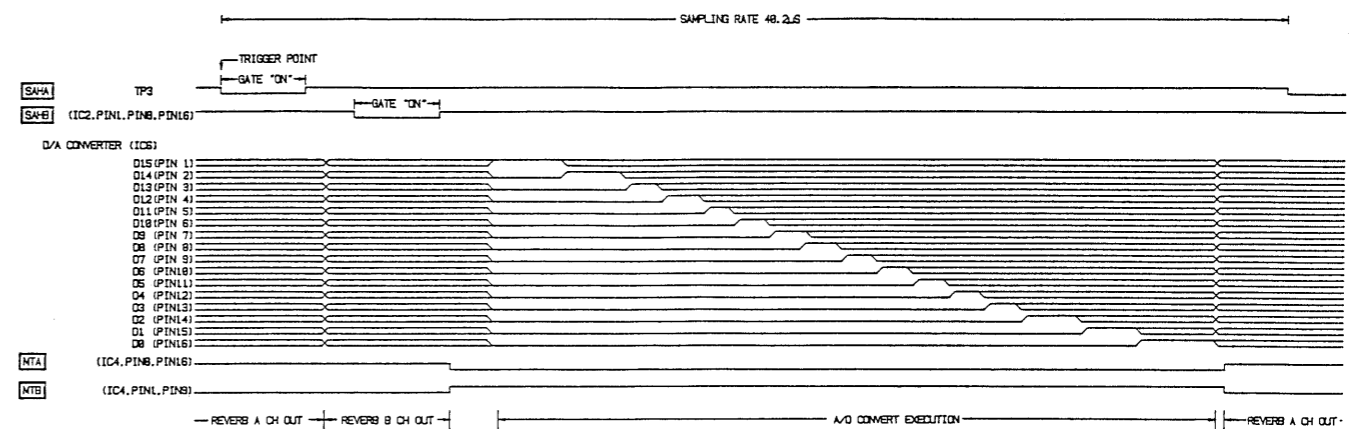
**A/D And D/A Converters**

Analog to Digital Converter (ADC) consists of S/H, digital to analog converter (DAC), comparator and successive approximation register (SAR -- gate array board). DAC is timeshared by both A/D conversion (for getting digital equivalent of input audio) and D/A conversion (for recovery of input signal as a reverb). Switching between A/D and D/A is accomplished by various analog switches which gate on or off on a low MTA or MTB respectively, to connect or disconnect signal path to allow only necessary signal(s) to enter the correct stage. In the following, functions of A/D, D/A and associated circuitry are described mainly with the aid of charts, photos and diagrams.

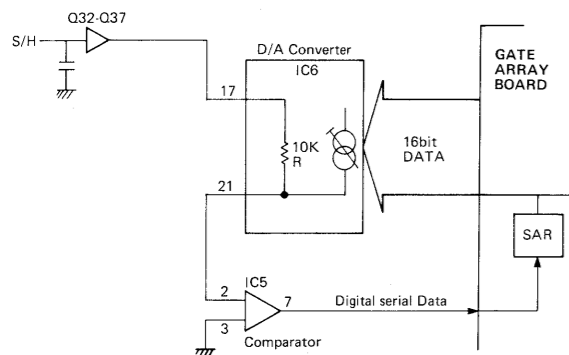
**A/D および D/Aコンバータ**

ADC (A/Dコンバータ)は、S/H、DAC (D/Aコンバータ)、コンパレータおよびSARの組合せです。DACは音声入力信号のデジタル化、およびデジタル処理されたリバースデータのアナログ化の両方向に使用されます(タイムシェアリング)。A/DおよびD/Aの時の回路構成を下図に示します。この回路構成の切換はMTA、MTBのタイミングで行なわれます。以下、タイミングチャートや写真を主に説明を進めます。

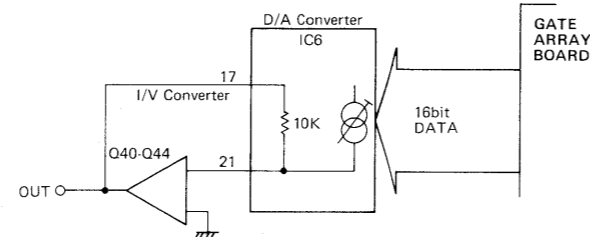
**TIMING CHART タイミング・チャート**



D/A CONVERSION



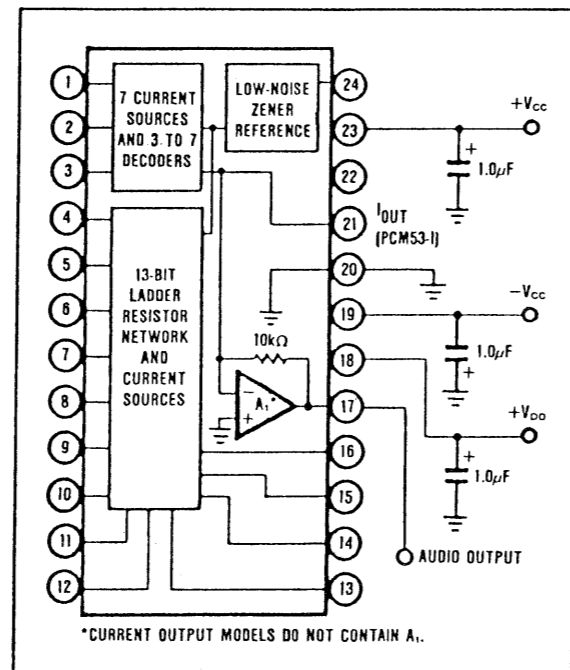
A/D CONVERSION



**IC6 PCM53**

Pin No.	PCM53KP-1, PCM53JP-1
1	Bit 1 (MSB)
2	Bit 1
3	Bit 3
4	Bit 4
5	Bit 5
6	Bit 6
7	Bit 7
8	Bit 8
9	Bit 9
10	Bit 10
11	Bit 11
12	Bit 12
13	Bit 13
14	Bit 14
15	Bit 15
16	Bit 16 (LSB)
17	R1 (10kΩ ±30%)
18	V DD
19	-V CC
20	Common
21	I OUT, ±1mA ±30% (Audio Output)
22	Test Point
23	+V CC
24	Reference Out (+6.3V)

**CONNECTION DIAGRAM**



**Analog to Digital Converter (ADC)**

The sampled audio signal is connected through 10k ohms to IC6's internal current source which delivers a current, varying the amount according to 16 bit data coming from SAR of gate array board. Being a successive approximation register, SAR first sets MSB which causes the IC6 internal resistor 10k ohms to develop a certain voltage. If the voltage exceeds 0 volts, comparator output resets the MSB. The procedure is repeated for the remaining bits (and combinations of bits). The final status of SAR causes IC6 to have 0 volts at pin 21, also representing digital equivalent of the amplitude of the sampled audio signal to be processed in the subsequent circuits in gate array board.

**A/Dコンバータ**

左図に示すように、S/Hされたオーディオ信号はIC6の内部電流源に接続されています。本回路は逐次比較方式であって、SARからの出力がMSBから順次S/H出力信号と比較されて行きます。具体的には、S/HからIC6の電流源(SARからの16ビットデータに応じて変化する)へ流れ込む電流によって生じるR(10K)の電圧降下が最終的には0Vとなるようにコンパレータがリセット、セット信号をSARへ送って行きます。

**Digital to Analog Converter (DAC) IC6**

The digital audio signal, after having obtained reverb characteristics, must be reconstituted to analog form. This is manipulated by D/A converter back at analog board. IC6 outputs in a voltage form at pin 17 and in a current form at pin 21 (the current ranges from -1mA to +1mA). So there is a need to convert the pin 21 output to voltage form. This is done by I/V converter.

**D/Aコンバータ**

ゲート・アレイ基板において完全なリバース音に処理されたオーディオ信号は、16ビットデータとしてD/Aコンバータ出力は17番ピンでは電圧ですが、21番ピンでは電流ですので次段のI/Vコンバータにより電圧へ変換されます。なお、出力電流の範囲は±1mAです。

**I/V Converter Q38-Q44**

This stage converts the input current to voltage linearly with the ratio of -4.5V at +1mA and +4.5V at -1mA. Since gate array generates dual reverb from single sound, I/V converter outputs are separated into CH A and CH B at IC2c and IC2d, respectively at different timing.

**I/Vコンバータ Q38~Q44**

電流入力を電圧へ直線的に変換します。変換率は+1mAで4.5V、-1mAで-4.5Vです。D/Aコンバータからはリバース音がCHA、CHBと交互に出力されますので、I/Vコンバータの出力側でSAHA、SAHBによって分離されます。

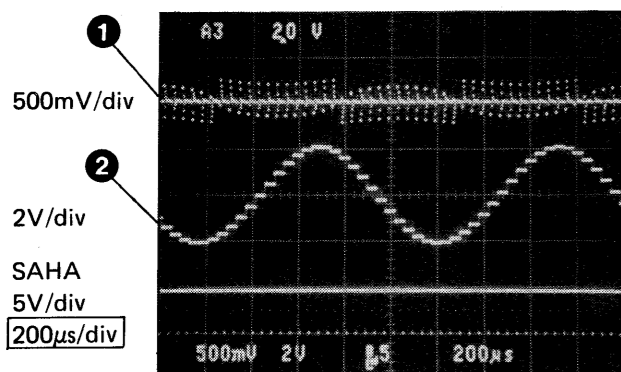
**LPF-2, LPF-3**

Cut off frequency is 10.25kHz: same as that of LPF-1. Like LPF-1, these two filter chips are also changed. See CHANGE INFORMATION when replacing.

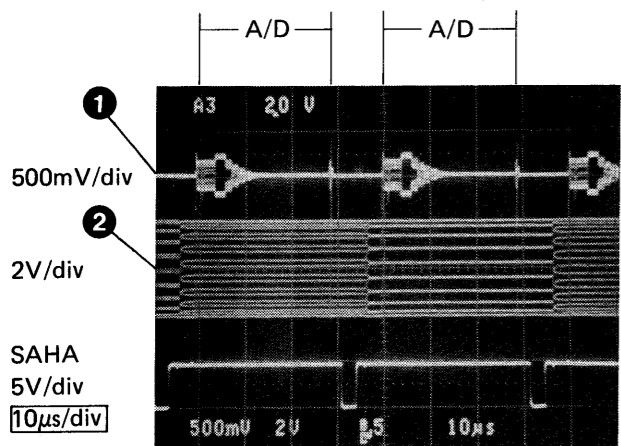
**LPF2, LPF3**

カットオフ周波数はLPF1と同じく10.25KHzです。LPF1も含め変更がありましたので、修理・交換の際は「変更案内」を参照して下さい。

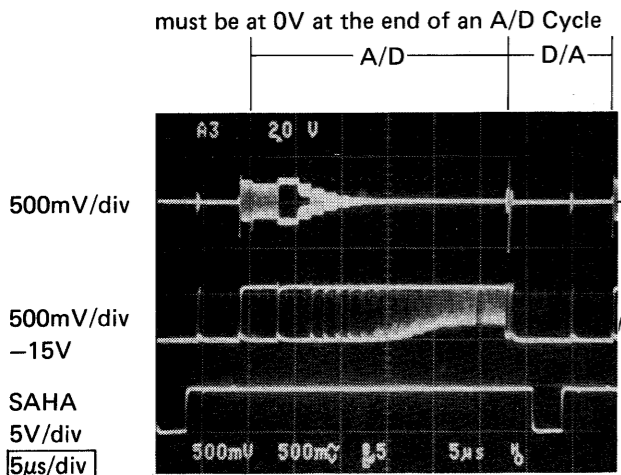
MEMORY (PRESET) : No.1  
 INPUT ATT : 0dB  
 UNIGAIN : -20dBm  
 Input Signal : 224mVp-p sine



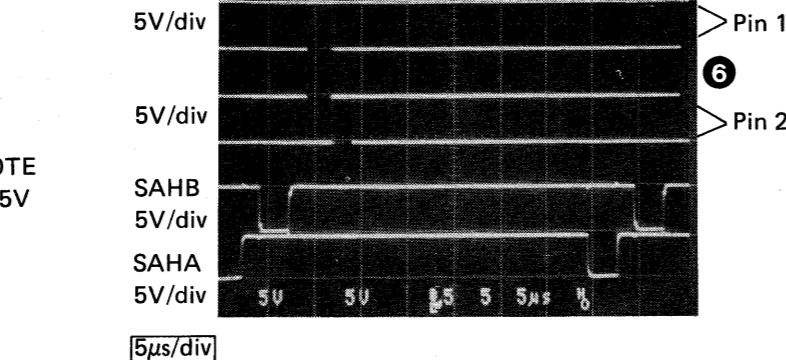
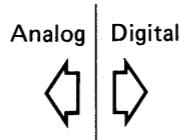
enlarged 20 times in time  
 時間内に拡大



Further enlarged

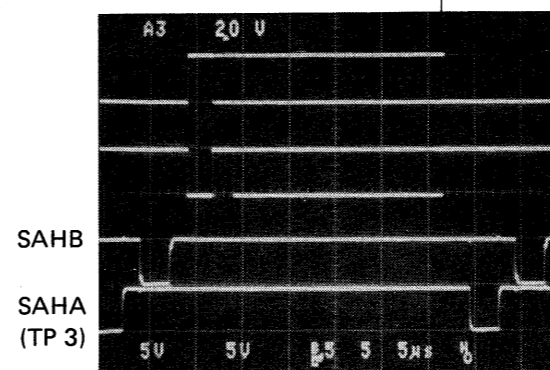


Equivalent



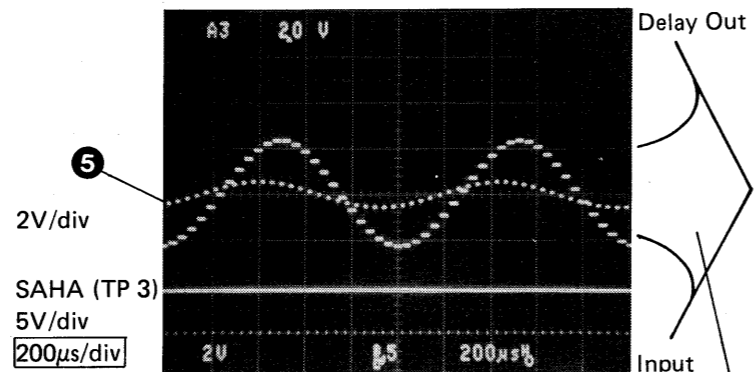
Data for D/A are always "0" with OUTPUT LEVEL Set at 00

OUTPUT LEVEL Changed to 00

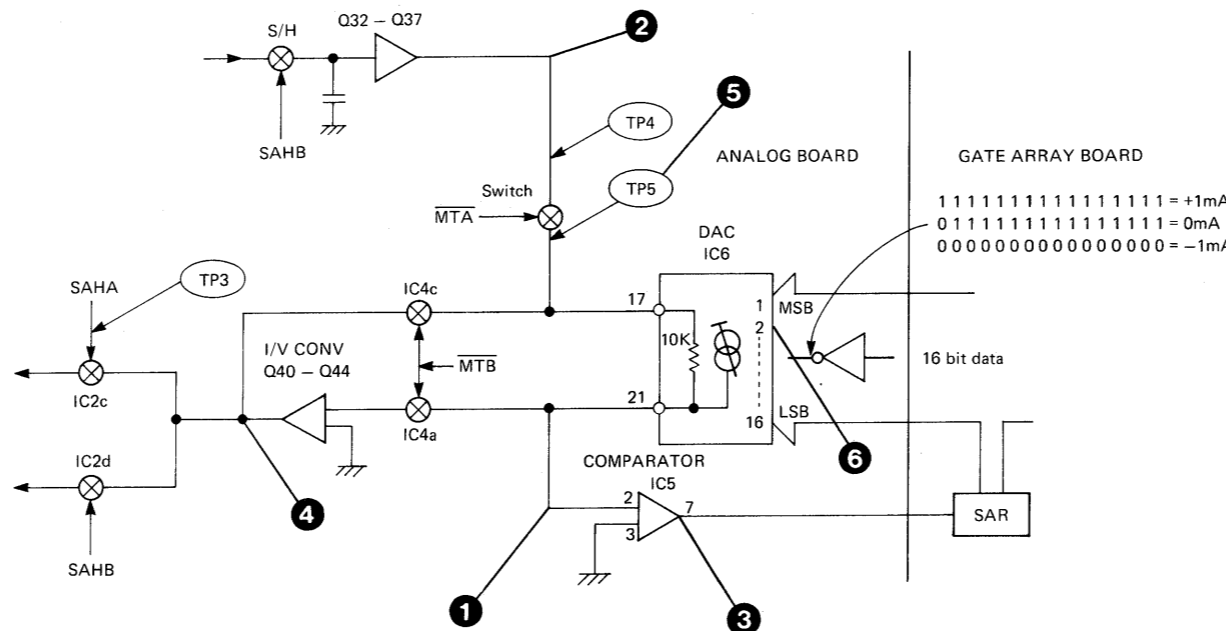
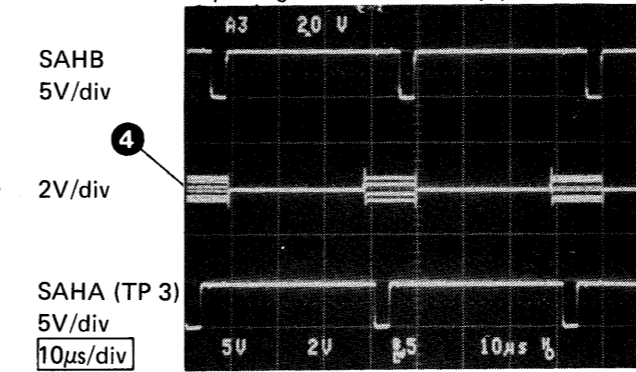


In DELAY (TEST) MODE  
 Refer to "CHECKING AND ADJUSTMENT" for entering DELAY MODE.  
 DELAYモードについては点検および調整の項目参照

INPUT ATT : 0dB  
 UNIGAIN : -20dBm  
 FEEDBACK : 0  
 DELAY TIME : 10  
 OUTPUT : 99  
 Input Signal : 224mVp-p

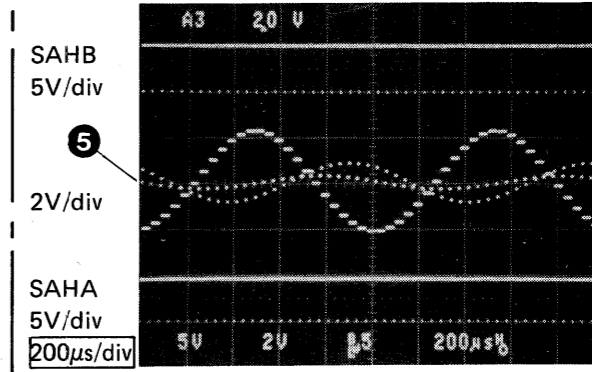


enlarged 20 times in time  
 Showing delay sound only

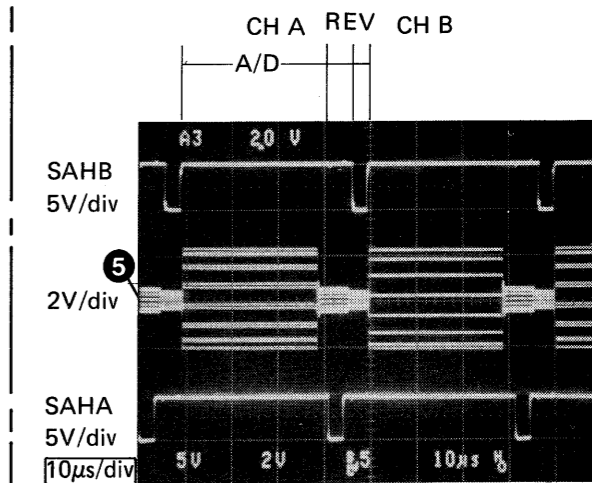


In REVERB MODE

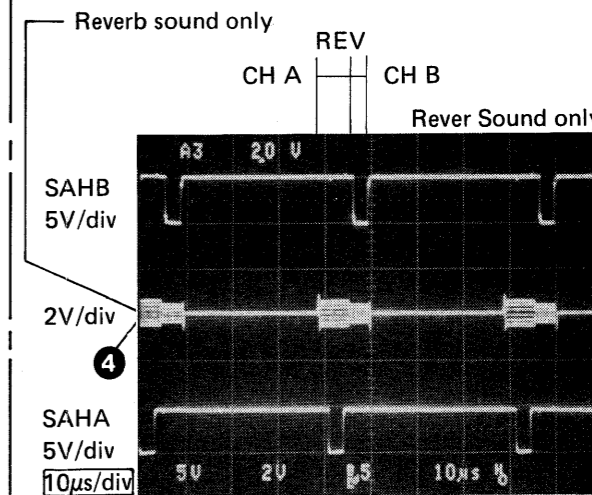
MEMORY (PRESET) : No.1  
 INPUT ATT : 0dB  
 UNIGAIN : -20dBm  
 Input Signal : 224mVp-p  
 OUTPUT LEVEL : 99



enlarged 20 times in time



Showing reverb sounds only



**Mixer Q50-Q54, Q45-Q49**

Combines the direct and reverb signals in proportion to the BALANCE (VR5) setting.  
The gain of this stage varies with UNIGAIN settings.

With UNIGAIN set at +4dBm:

Direct signal  $R151/R150 (R134/R133) = 3.7$   
Reverb signal  $R151/R130 (R134/R129) = 3$

With UNIGAIN set at -20dBm:

Direct signal  $\frac{R151+R152}{R151 \times R152} / R150$  or  $\frac{R134+R135}{R134 \times R135} / R133 = 1.3$   
Reverb Signal  $\frac{R151+R152}{R151 \times R152} / R130$  or  $\frac{R134+R135}{R134 \times R135} / R129 = 1.1$

**Direct Amp Q59-Q62**

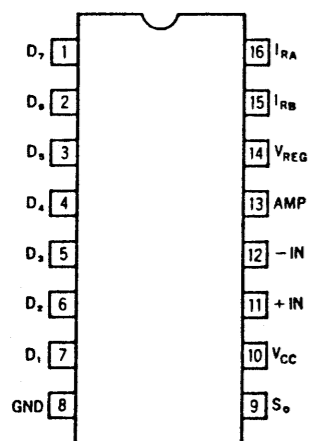
Inverts the direct signal with a gain 4.66.

**Level LED Driver IC1, IC3, IC11 and Q1**

Ladder resistors connecting to 7 comparators provide reference voltages for each (+) input of comparators. The voltages are supplied from internal source and are in VU steps.

When the voltage on (-) pin of a comparator exceeds (+) input, the comparator turns the constant current source on, enabling the LED to be driven.

**IR-2E02  
7-SEGMENT  
DRIVER**



**ミキサー Q50~Q54, Q45~Q49**

バランス・ボリュームの設定に応じた比率で、ダイレクト音とリバーブ音を増巾します。UNIGAIN の位置によって異なります。

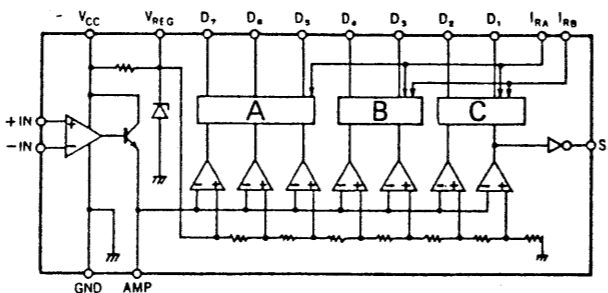
左の式を参照して下さい。

**ダイレクト・アンプ**

反転増巾回路で増巾度は 4.66

**レベルLEDドライバ IC1, IC3, IC11, Q1**

IC1 内部には 7 個のコンパレータが内蔵されています。それぞれのコンパレータには、各ステップに対応した IC 内蔵の基準電圧が V U ステップで印加されています。これらの基準電圧とコンパレータの入力に加えられた入力 DC 電圧との比較を行い、入力 DC 電圧の方が内部の基準電圧より高くなった場合には、コンパレータ出力に接続された定電流ドライバ出力がオンとなり、LED を駆動します。

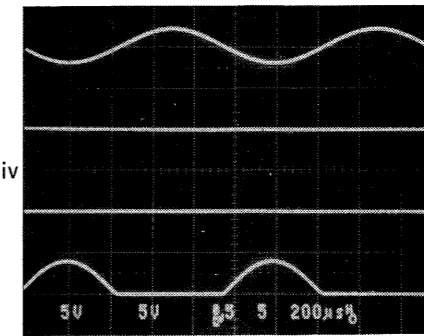


VREG reference voltage output  
IRA current setting 1  
IRB current setting 2  
SO signal detect out  
A, B, C constant current sources

IC2 pin3

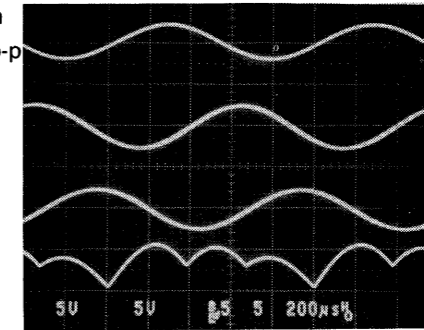
TP-1  
5V/div, 200μs/div  
TP-2

D2,D17,D18  
Cathode  
INPUT ATT : 0dB  
UNIGAIN : -20dBm  
INPUT Signal : 224mVp-p  
Same as above

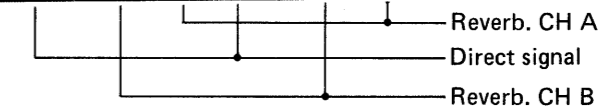


DELAY MODE  
FEEDBACK : 0  
DELAY TIME : 10  
OUTPUT : 0

Direct signal only. See CHECKING Section for "DELAY MODE".



REVERB MODE  
MEMORY (PRESET) : NO.1  
OUTPUT : 99



**DIGITAL BOARD**

**ROM IC307 (early products only) and IC308**

The operation program is shared with two 128k-bit ROMs (ROM A and ROM B) in early products. Later it is written into one 256k-bit ROM IC308. See "CHANGE INFORMATION" for compatibility when replacing.

**RAM IC305**

To have its memory intact during power OFF, its CS is pulled high upon power down and remains high until the next power up while Vcc draws current from the backup battery.

**RESET Q307, Q308, IC304**

**デジタル・ボード**

**ROM IC307 (初期製品のみ), IC308**

初期製品では 128K バイトの ROM IC が 2 個されていますが、256K バイトの ROM 1 個使用に変更されました。修理および交換の際は「変更案内」を参照して下さい。

**RAM IC305**

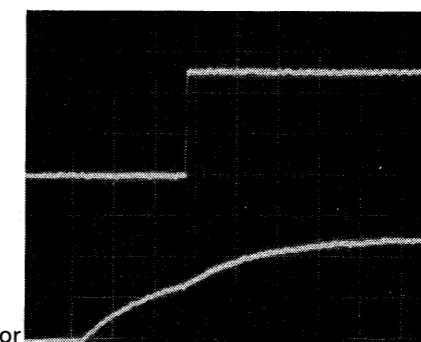
電源がオフされると、この IC の Vcc へはバックアップ・バッテリーから 3V が供給されます。一方 CS 端子はプルアップ状態となるので、メモリの内容が壊されることはありません。

**リセット Q307, Q308, IC304**

IC304 Pin10

2V/div  
0.25s/div

Q307 Collector



POWER 0  
ON



DIGITAL MAIN BOARD デジタル・メインボード

CPU Pin Function

DESIGNATION	PIN	DESCRIPTION
RES	6	Must be at low level for more than 20ms after +5V is applied to pin 33 (Vcc) Vccに+5Vが印加された後、最低20ミリ秒はローレベルに設定されている必要があります。
P20	9	Must be kept pulled down
P21	10	Normally low. Becomes high upon receiving INFINITE ON via JK-303.
P22	11	Outputs serial clocks to FIP driver IC601 (Switch Board) at bit/8μs rate and to Gate Array at bit/1μs rate. Switching between two destinations is made by P67 output at IC311 c and d. Noises on this line can fake clocks, causing gate array to skip or miss data being sent via P24. The CPU will detect failure data receiving through P51 and stop transmission and generate mute signal. Refer to function on Ports 24, 51, 65 and 66. FIPドライバおよびゲート・アレイ・ボードへのシリアル・クロック出力端子。出力先の切換えはP67からの信号によって行なわれます。この信号ラインに雑音に乗ると、ゲート・アレイ側でのデータ受信に異常が生じ、正常なリバーブ音が作られません。この為、CPUはゲート・アレイ向けデータ転送の一時停止、リバーブ音のミュート等の処理をとります。これにはP24、P51、P65、P66端子の機能が関連しています。それぞれの端子説明を参照して下さい。
P23	12	Normally low. Becomes high upon receiving ADD ON via JK-302.
P24/TX	13	Delivers serial data to FIP driver and Gate Array. Shutdown may occur if gate array cannot receive the previous data correctly. See P51 function. EIPドライバおよびゲートアレイへのシリアルデータ出力端子。 P22-ゲート・アレイ間の信号ラインにノイズが混入した場合、この端子からゲート・アレイ向けのデータは一時的に停止されます。P51機能参照。
P25	14	Normally low and high when EFFECT ON is fed via JK-301.
P26	15	Normally low. High when PRESET UP is fed from JK-5.
P27	16	Normally low and becomes high when PRESET DOWN is applied via JK-4.
P50/IRQ1	17	Accepts MIDI interruption signal. The INT is made active low when MIDI IN data latch IC309 has received MIDI data. MIDI 割込み入力端子 IC309がMIDI信号を受付けた時ローレベルにします。
P51/IRQ2	18	Input for TXEN which is pulled high when Gate Array is ready to accept serial data from CPU. Gate array interleaves a negative going pulse between adjacent data. Noises on P22/SLCK line will allow gate array to send the pulse at out of timing, signaling the CPU of failure data receiving and requesting temporal data ceasing. Refer to functions on P24, P65 and P66. TXEN 入力端子 ゲート・アレイは受信可能時、このラインをハイレベルにします。連続してデータが転送されている場合には、ゲート・アレイがデータの区分ごとに一瞬ローレベルにします。P22よりのSLCKラインにノイズが混入した場合、ゲート・アレイがローレベルにするタイミングとデータ区分が一致しくなくなります。CPUはこの不一致を確認すると、ソフトウェアをリセットし、P24からのゲート・アレイ向けのデータをストップするとともに、ミュート信号やゲート・アレイリセット信号を発生します。P65、P66機能説明参照。
P54 P57	21 24	Reads status of switches on Switch Board スイッチボードのマトリクスからのスイッチ・データ入力端子
P60 P64	25 29	Routes switch scanning signals to Switch Board スイッチボードのマトリクスへのスイッチ・スキャン信号出力端子
P65	30	Normally high and goes low in an emergency such as power failure, excessive noise introduction or abnormal reverb sound. This low is sent to analog board as a MUTE, to inhibit noisy sound from becoming audible. この端子がローになると、アナログ・ボードのミュート・リレーがオフとなり、不要信号が出力されるのを防ぎます。
P66	31	Normally high. Resets the Gate Array with a low signal upon power-on or whenever abnormal condition takes place 電源オン時および異常発生時にはローとなり、ゲート・アレイをリセットします。
P67	32	Selects the route of serial clock from P22/SLCK: high - FIP driver; low - gate array P22よりの信号の転送先を決めます。 H = FIPドライバ、L = ゲート・アレイボード

CHECKING AND ADJUSTMENT

点検および調整

1. DC VOLTAGES

Before conducting any electrical checking, adjustment and troubleshooting, first check the following DC supplies and adjust as necessary.

1. DC電圧

電気的な点検、調整、修理を行なう前には、まず下記電圧をチェックし、必要に応じて調整して下さい。

PCB	TEST POINT	VOLTAGES	ACTION	NOTES
Analog	D11 cathode	+15.5 ± 0.5V	adj VR4	positive and negative voltages must be balanced within 0.2V +15Vと-15Vの差は絶対値で0.2以下のこと
Analog	D10 anode	-15.5 ± 0.5V	adj VR3	
Analog	CN5 pin 36	+5 ± 0.5V	check	
Analog	CN6 pin 40	+11 ± 2V	check	
Digital	Battery	above 3V	check	with power OFF

TEST PROGRAM --- DELAY MODE ---

The test program contained in SRV-2000, once executed, puts the unit into DELAY mode for check and adjustment purpose, generating single delay sound.

テストプログラム ---ディレイ・モード---

SRV-2000にはテストプログラムが内蔵されています。このプログラムが走るとSRV-2000はテスト専用の“ディレイモード”となり、シングルディレイ音が出力されるようになります。

ENTERING DELAY MODE

While holding down WRITE, REVERB/NON LINEAR and ROOM SIMULATE, turn the power ON.

ディレイモードへの移行

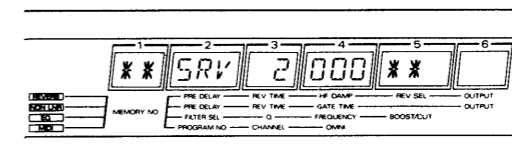
WRITE, REVERB/NON LINEAR および ROOM SIMULATEのボタンを同時に押しながら電源スイッチを入れます。

DISPLAY

The display will show \*\* SRV-2000 \*\*, then \*\*\*\*\* DELAY \*\*\*\*\*.

ディスプレイ

\*\* SRV-2000 \*\*, 引き続いて\*\*\*\*\* DELAY \*  
\*\*\*が表示されます。



PARAMETERS

During DELAY mode parameters of NON LINEAR serve as parameters of DELAY, substituting for as follows:

パラメータ

ディレイモード(テストモード)中はNON LINEARのパラメータが下の表の様に変わります。イコライザーの働きは通常モードの時と同じです。その他のパラメータは無効となります。残りのボタンの機能も通常モードと同じです。

PARAMETER	VALUE RANGE
PRE DELAY -> FEEDBACK LEVEL	0 to 120% (DEFAULT 0%)
GATE TIME -> DELAY TIME	10 to 450ms
OUTPUT ----> OUTPUT LEVEL	0 to 99
EQUALIZER -> EQUALIZER	same as NON LINEAR (DEFAULT BOOST/CUT 0)

The remaining buttons functioning as in NON LINEAR MODE.

**PRECAUTIONS**

WRITE function remains active; be sure not to write over existing NON LINEAR parameters.

**DELAY TIME**

Time delay would differ from what it should be, if ROM version is 1.4 or below. Should this happen turn the power OFF; reenter the DELAY mode. Alternatively, replace the ROM with one of Ver. 1.5 and up.

**2. LEVEL LED CALIBRATION**

With DELAY mode

Setup

INPUT ATT: center  
UNIGAIN: +4dBm  
OUTPUT LEVEL: 00

Test signal

+4dBm (1.23V rms), 1kHz, sine into INPUT jack

- 2-1. Set LEVEL METER ADJ. (VR1 Analog board) so that LEDs up to 0dBm light up.
- 2-2. Push UNIGAIN to -20dBm; all LEVEL LEDs should be lit.
- 2-3. Lower the test signal to -20dBm (0.0775V rms); +6 LED should go off then +3 LED. The 0dBm LED and below should remain lit as in step 2-1.

**3. DAC OUT LEVEL**

With DELAY mode

Setup

INPUT ATT: center  
UNIGAIN: -20dBm  
OUTPUT LEVEL: 99

Test signal

-20dBm (0.0775V rms), 1kHz, sine into INPUT jack

Use oscilloscope with a trigger on SAHA (connect TRIG to TP3, Analog Board).

- 3-1. Determine the signal level at TP-4 (Analog Board); note the reading.
- 3-2. Connect scope to TP-2 of Analog board.
- 3-3. Adjust GAIN ADJ (VR2, Analog Board) for the same reading as in TP-4.
- 3-4. Verify the same reading at TP-1.

**注意**

WRITE ボタンは通常モードの時と同じ機能がありますので、書込み操作を行なうとメモリの内容が変わってしまいます。

ディレイ・タイム

ディレイタイムが設定した値に対応しないことがあります。このような場合には、一旦電源を切った後、再びテストモードに入ると合致します。ただし、Ver. 1.5以降のROM (デジタル・メインボードの IC308) ではこの現象が起りません。

**2. レベルLED校正**

(ディレイモード)

設定 - INPUT ATT = センター UNIGAIN = +4dBm OUTPUT LEVEL = 00

テストシグナル - +4dBm (1.23 Vrms), 1kHz のサイン波を INPUT ジャックへ

- 2-1. LEVEL METER ADJ (VR1, アナログ・ボード) を調整して 0dBm までの LED を点灯させる。
- 2-2. UNIGAIN を押す。+6 までの LED が全て点灯する。
- 2-3. テストシグナルを -20dBm に下げる。+6 続いて +3 の LED が消灯しなければならない。

**3. D/Aコンバータ出力**

(ディレイモード)

設定 - INPUT ATT = センター UNIGAIN = -20dBm OUTPUT LEVEL = 99

テストシグナル - -20dBm (0.0775Vrms), 1kHz のサイン波を INPUT ジャックへ加える。オシシロの同期は SAHA (アナログ・ボードの TP-3) 信号とする。

- 3-1. アナログボード TP-4 の値をオシシロで測定する。
- 3-2. オシシロを TP-2 へ接続する。
- 3-3. TP-2 の値が TP-4 の値と等しくなるように、GAIN ADJ (VR2) を調整する。
- 3-4. TP-1 も同じ値であることを確認する。

**4. OUTPUT LEVEL**

To be continued from step 3-4.

- 4-1. Set OUTPUT to 60; turn BALANCE fully to DIRECT.
- 4-2. Verify -20dBm +1, -0 output at OUTPUT A jack.
- 4-3. Turn BALANCE fully to REV. Verify the same output level as in 4-2.
- 4-4. Repeat 4-1 to 4-3 for OUTPUT B jack.

**5. MAXIMUM OUTPUT LEVEL**

With DELAY mode

Setup

INPUT ATT: center  
UNIGAIN: -20dBm  
OUTPUT LEVEL: 99

Test signal

1kHz, sine, level: to be set as follows

- 5-1. Verify distortion-free output at A and B OUTPUT jacks under the conditions below:  
BALANCE at fully DIR with -4dBm (0.39V rms) input  
BALANCE at fully REVERB with -6dBm (0.387 V rms) input

**4. OUTPUTレベル**

この調整は3-4に引き続いて行なう。

- 4-1. OUTPUTを60にセットし、BALANCEをDIRECT側へ一杯にまわす。
- 4-2. OUTPUT Aのジャックにおけるレベルが-20dBmであることを確認する。
- 4-3. BALANCEをREV側へ一杯にまわす。レベルに変化の無いことを確認。
- 4-4. 4-1~4-3をOUTPUT Bジャックについても行なう。

**5. 最大出力レベル**

(ディレイモード)設定

以下の設定時に OUTPUT A および B ジャックの出力に歪が無いことを確認。

INPUT ATT : センター

UNIGAIN : -20dBm

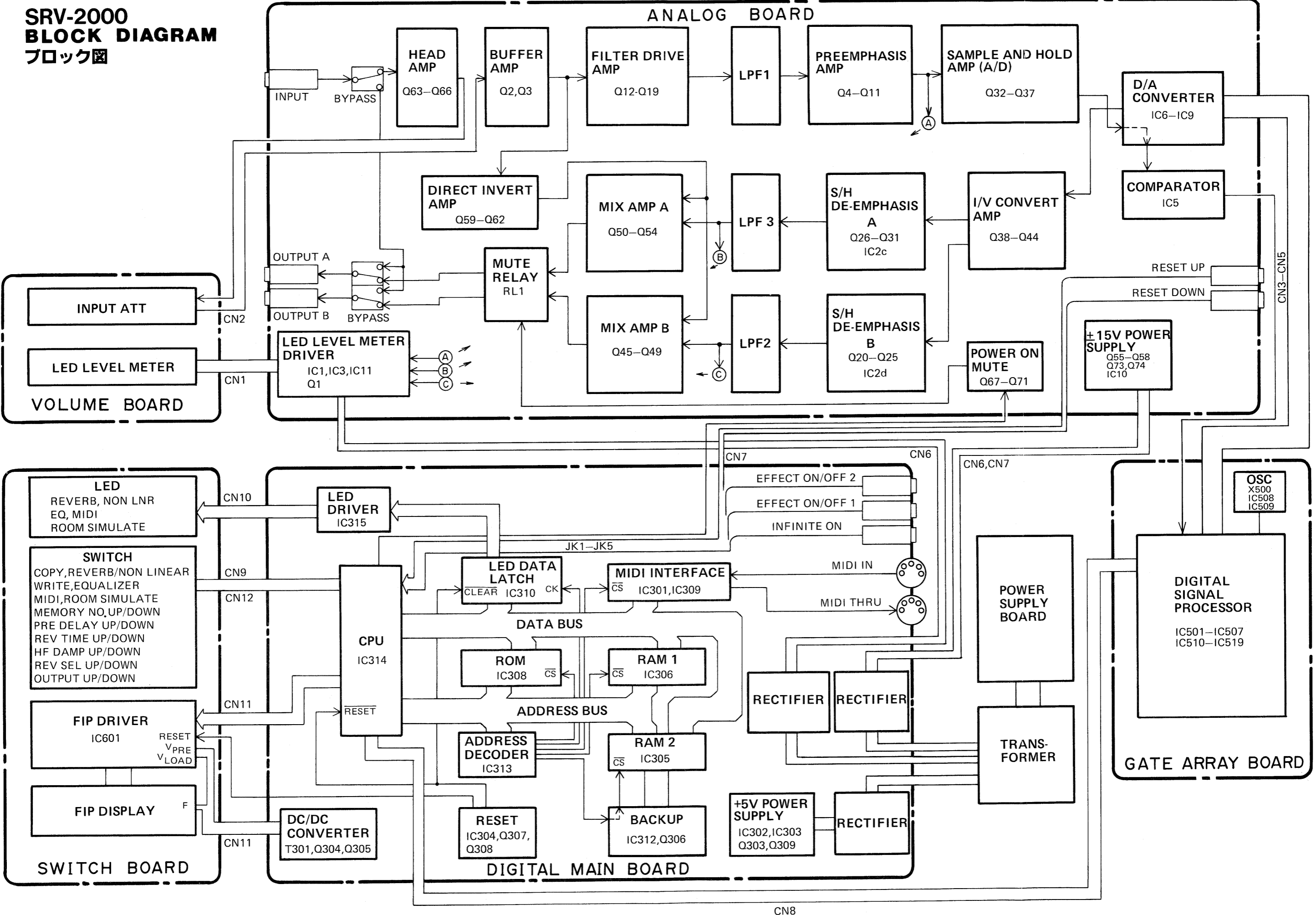
OUTPUT LEVEL : 99

BALANCE = DIR 入力信号 = -4dBm (0.39Vrms)

BALANCE = REV 入力信号 = -6dBm (0.387Vrms)

# SRV-2000 BLOCK DIAGRAM ブロック図

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39



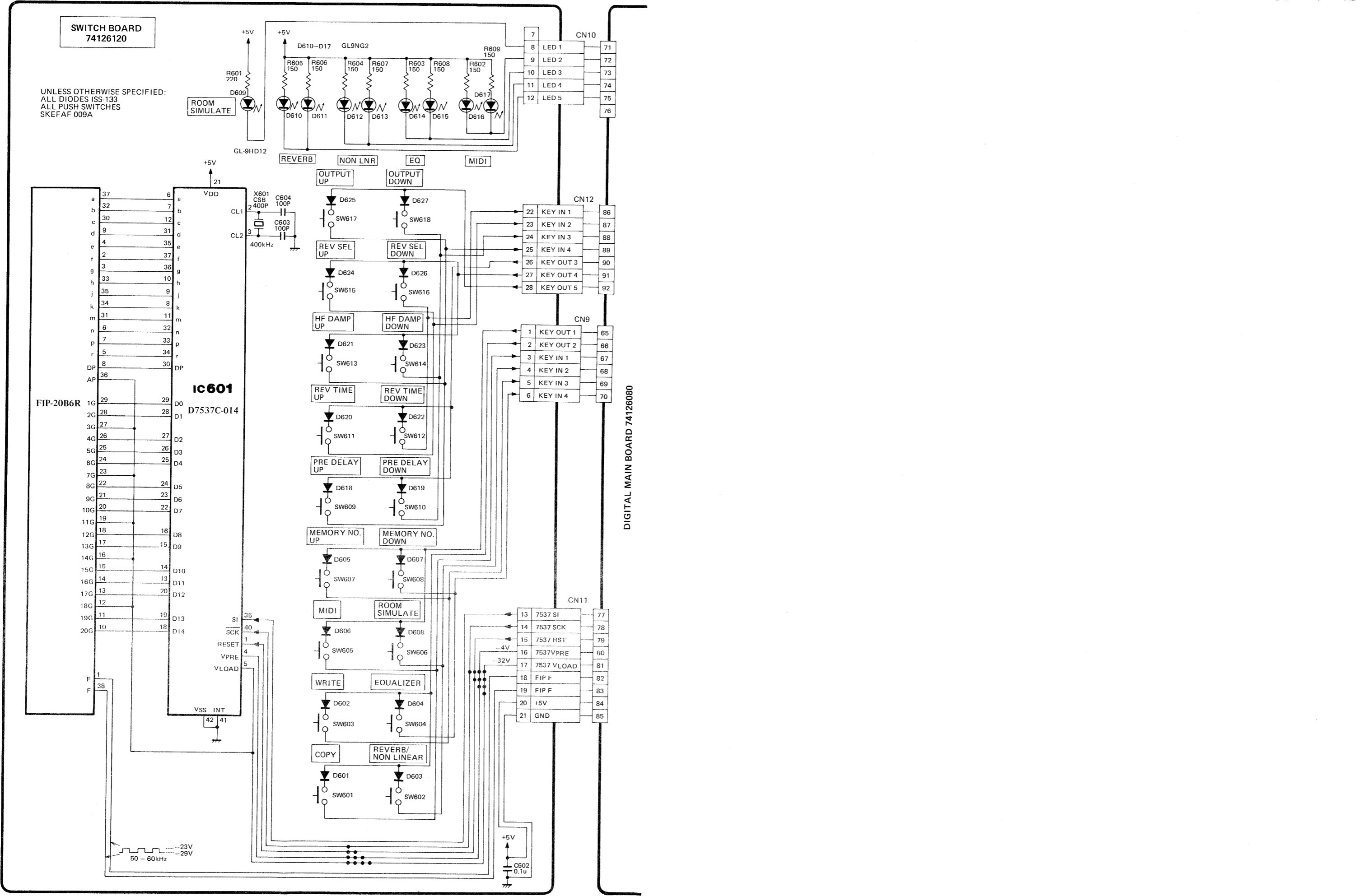
A  
B  
C  
D  
E  
F  
G  
H  
I  
J  
K  
L  
M  
N  
O  
P  
Q  
R  
S  
T  
U  
V

CN8

# CIRCUIT DIAGRAM

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40

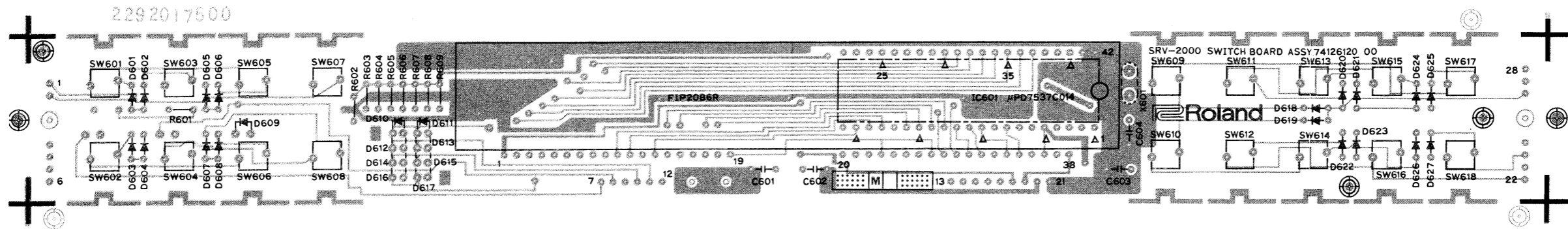
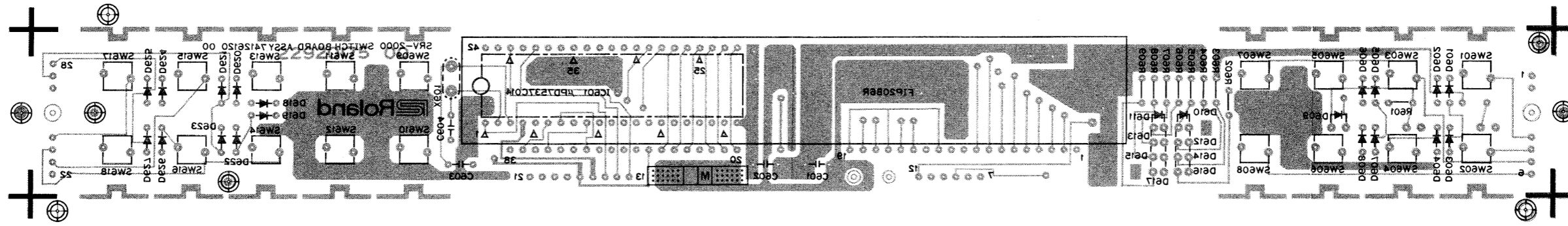
A  
B  
C  
D  
E  
F  
G  
H  
I  
J  
K  
L  
M  
N  
O  
P  
Q  
R  
S  
T  
U  
V



**SWITCH BOARD 7412612000 (pcb 2292017500)**

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36

A  
B  
C  
D  
E  
F  
G  
H  
I  
J  
K  
L  
M  
N  
O  
P  
Q  
R  
S  
T  
U



μPD7537C-014

View from foil side

Top View

1	RESET	V <sub>SS</sub>	42
2	CL1	GND	41
3	CL2	SCR	40
4	V <sub>PRE</sub>	NC	39
5	V <sub>LOAD</sub>	SI	38
6	a	f	37
7	b	g	36
8	k	e	35
9	j	r	34
10	h	p	33
11	m	n	32
12	c	d	31
13	D11	DP	30
14	D10	DO	29
15	D9	D1	28
16	D8	D2	27
17	D15	D3	26
18	D14	D4	25
19	D13	D5	24
20	D12	D6	23
21	V <sub>DD</sub>	D7	22

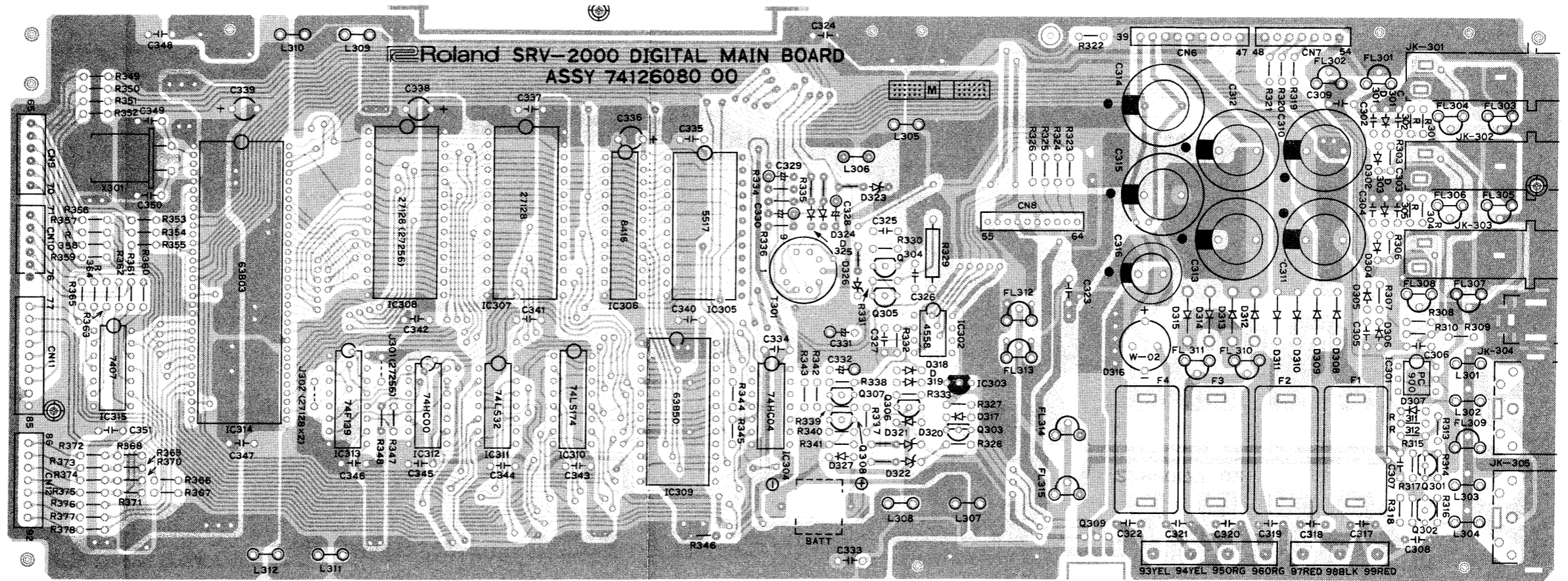
DESIGNATION	PIN NO.	FUNCTION	
RESET	1	HI LEVEL RESET	
CL1	2	400KHz OSCILATOR INPUT	
CL2	3	400KHz OSCILATOR INPUT	
V PRE	4	HI VOLTAGE OUTPUT BUFFER BIAS VOLTAGE INPUT	
V LOAD	5	PULLDOWN RESISTER LOAD	
a	6	FIP DISPLAY SEGMENT OUTPUT	
b	7		
k	8		
j	9		
h	10		
m	11		
c	12		
D11	13		FIP DISPLAY GRID OUTPUT
D10	14		
D9	15		
D8	16		
D15	17		
D14	18		
D13	19		
D12	20		
V DD	21	+5V	

DESIGNATION	PIN NO.	FUNCTION
D7	22	FIP DISPLAY GRID OUTPUT
D6	23	
D5	24	
D4	25	
D3	26	
D2	27	
D1	28	
D0	29	
DP	30	FIP DISPLAY SEGMENT OUTPUT
d	31	
n	32	
p	33	
r	34	
e	35	
g	36	
f	37	
SI	38	SERIAL DATA INPUT
NC	39	NON CONNECTION
SCK	40	SERIAL CLOCK INPUT
GND	41	GND
V SS	42	GND

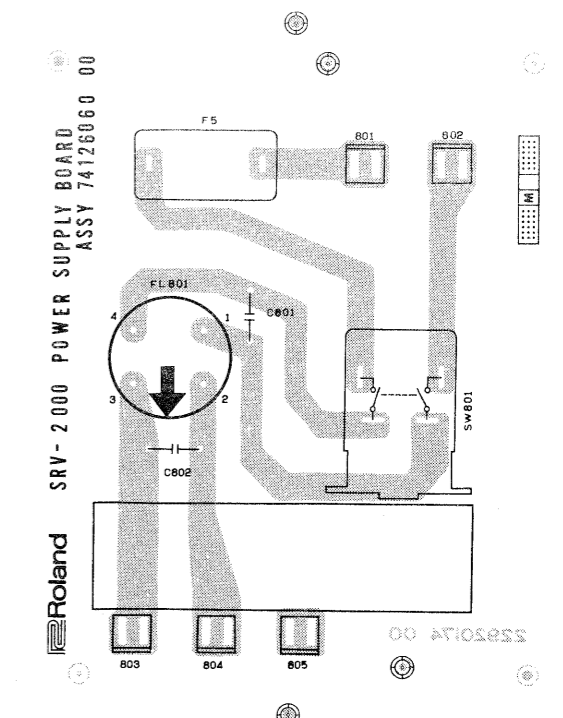
**DIGITAL MAIN BOARD 7412608000** (pcb 2292017702)

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40

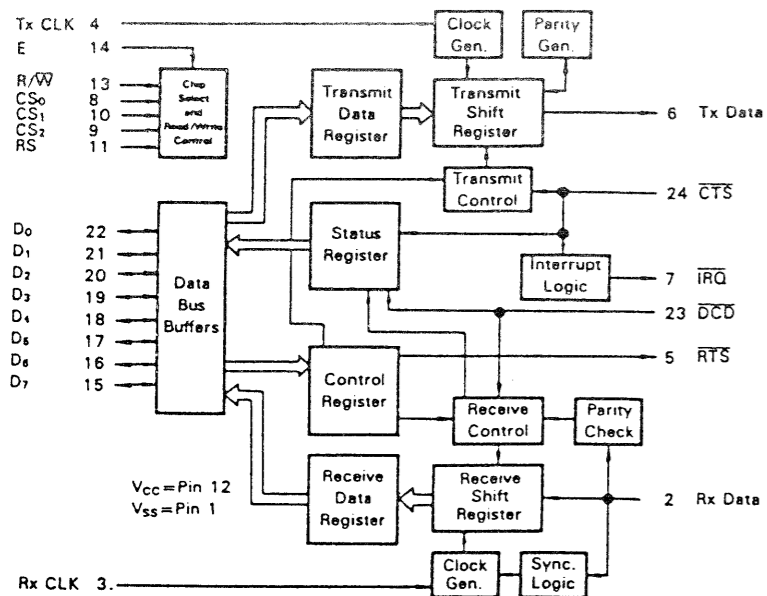
A  
B  
C  
D  
E  
F  
G  
H  
I  
J  
K  
L  
M  
N  
O  
P  
Q  
R  
S  
T  
U



**POWER SUPPLY BOARD 7412606000** (pcb 2292017400)



**HD63B50  
CMPS ACIA (Asynchronous Communications Interface Adapter)  
BLOCK DIAGRAM**



**74F139  
DUAL 1-of-4 Decoder**

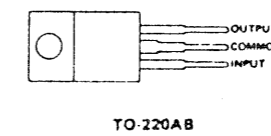
Truth Table

Inputs			Outputs			
E	A <sub>0</sub>	A <sub>1</sub>	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

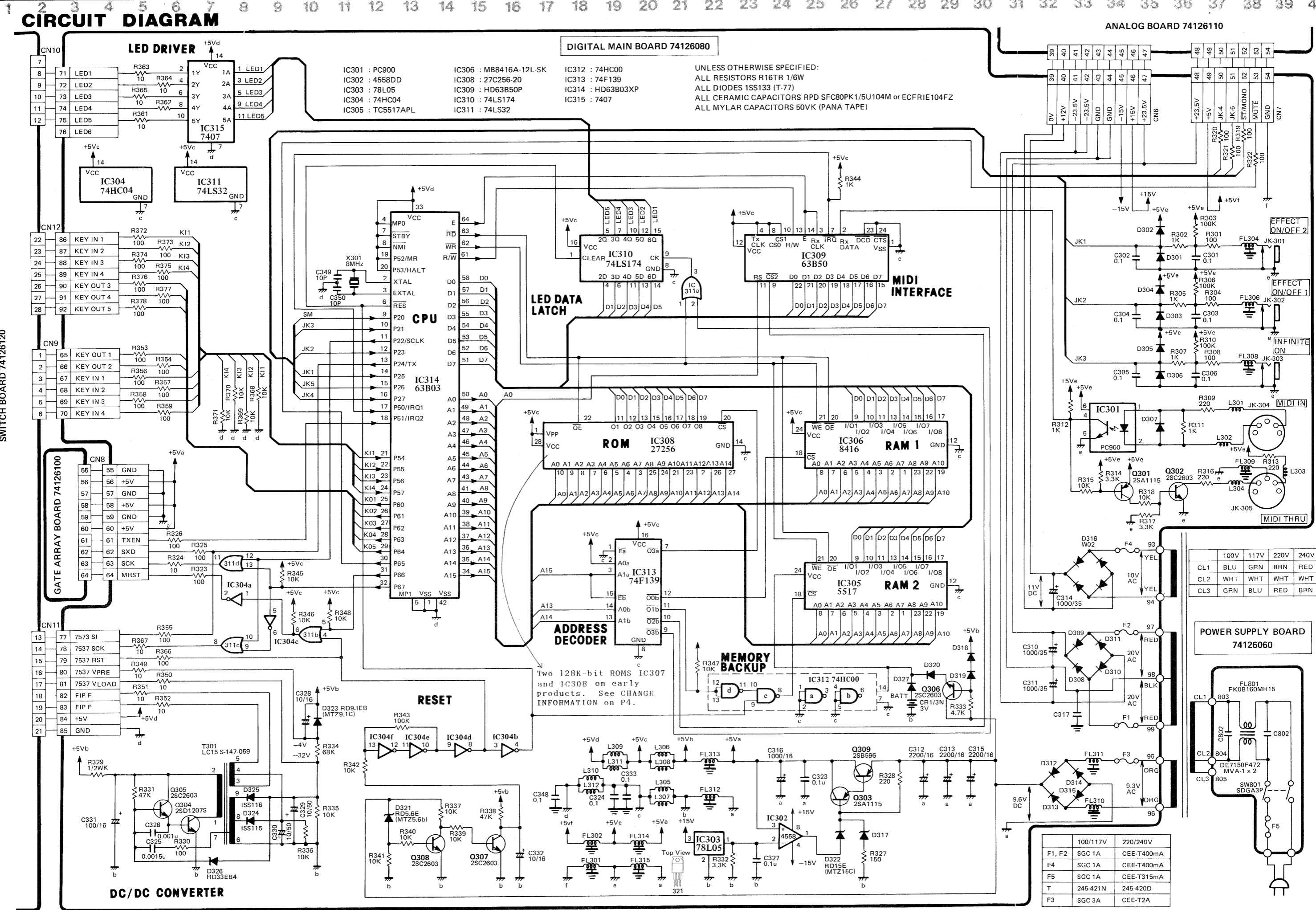
H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Immaterial

**μA7805C**

(TOP VIEW)



# CIRCUIT DIAGRAM



### DIGITAL MAIN BOARD 74126080

- IC301 : PC900
- IC302 : 4558DD
- IC303 : 78L05
- IC304 : 74HC04
- IC305 : TC5517APL
- IC306 : M88416A-12L-SK
- IC308 : 27C256-20
- IC309 : HD63B50P
- IC310 : 74LS174
- IC311 : 74LS32
- IC312 : 74HC00
- IC313 : 74F139
- IC314 : HD63B03XP
- IC315 : 7407

UNLESS OTHERWISE SPECIFIED:  
 ALL RESISTORS R16TR 1/6W  
 ALL DIODES 1SS133 (T-77)  
 ALL CERAMIC CAPACITORS RPD SFC80PK1/5U104M or ECFRIE104FZ  
 ALL MYLAR CAPACITORS 50VK (PANA TAPE)

### ANALOG BOARD 74126110

CL1	100V	117V	220V	240V
CL2	BLU	GRN	BRN	RED
CL3	WHT	WHT	WHT	WHT
	GRN	BLU	RED	BRN

### POWER SUPPLY BOARD 74126060

F1, F2	SGC 1A	CEE-T400mA
F4	SGC 1A	CEE-T400mA
F5	SGC 1A	CEE-T315mA
T	245-421N	245-420D
F3	SGC 3A	CEE-T2A

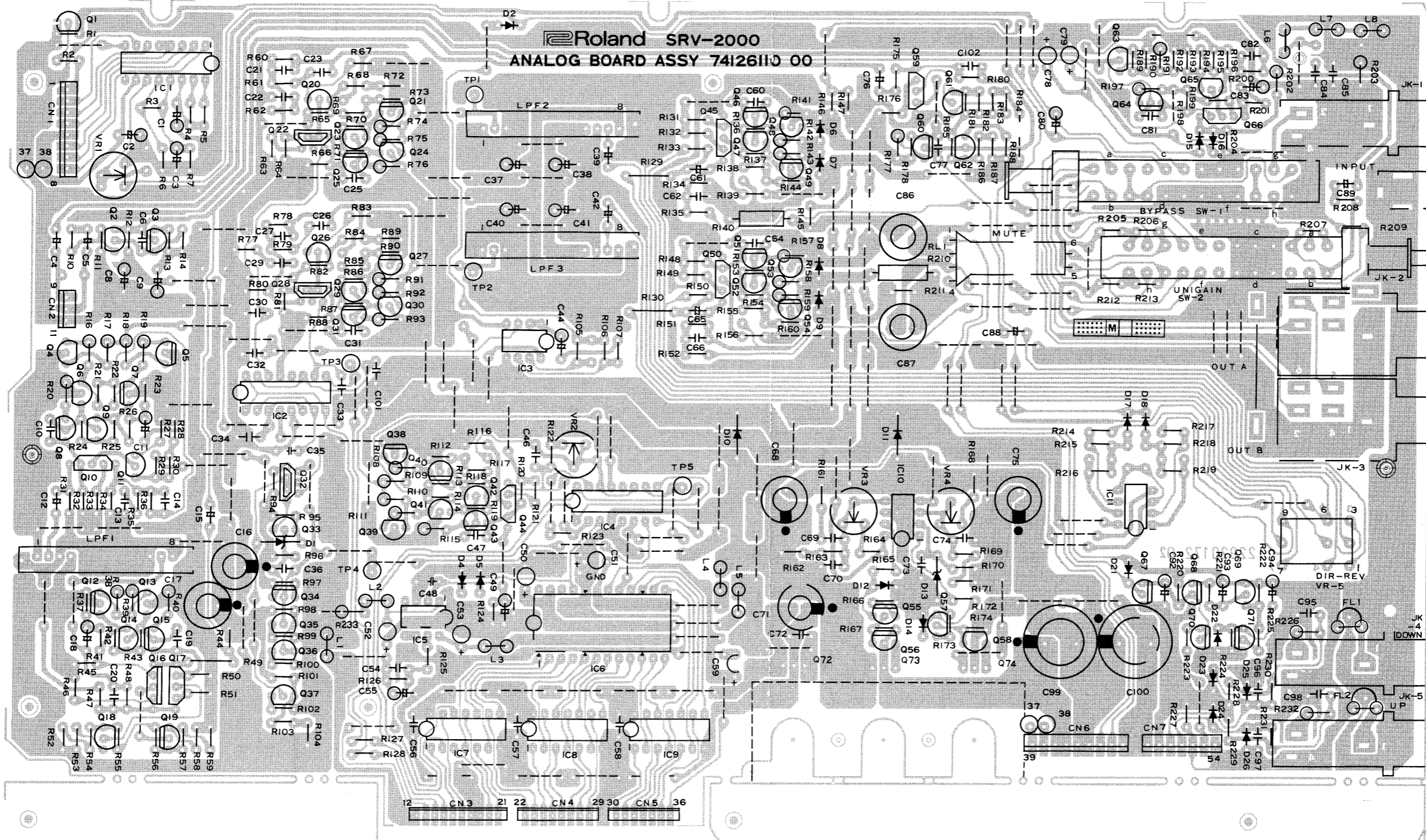
SWITCH BOARD 74126120

A  
B  
C  
D  
E  
F  
G  
H  
I  
J  
K  
L  
M  
N  
O  
P  
Q  
R  
S  
T  
U  
V  
W  
X  
Y  
Z

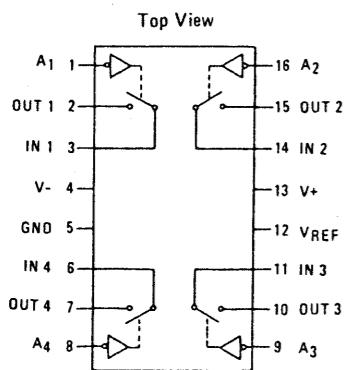
**ANALOG BOARD 7412611000 (pcb 2292017202)**

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39

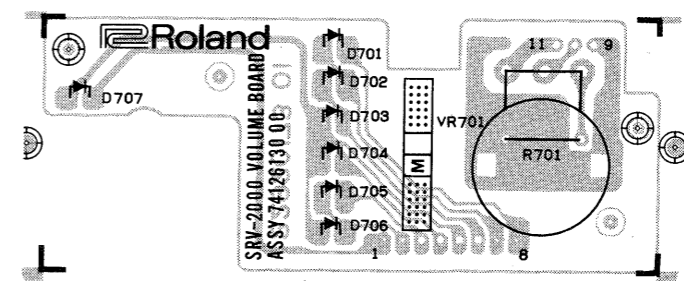
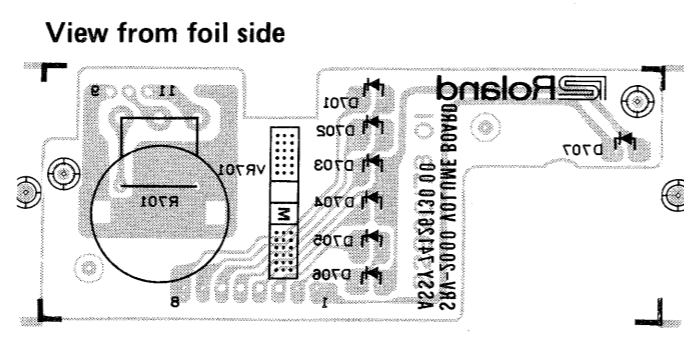
A  
B  
C  
D  
E  
F  
G  
H  
I  
J  
K  
L  
M  
N  
O  
P  
Q  
R  
S  
T  
U



**HI-201 SPST CMOS**



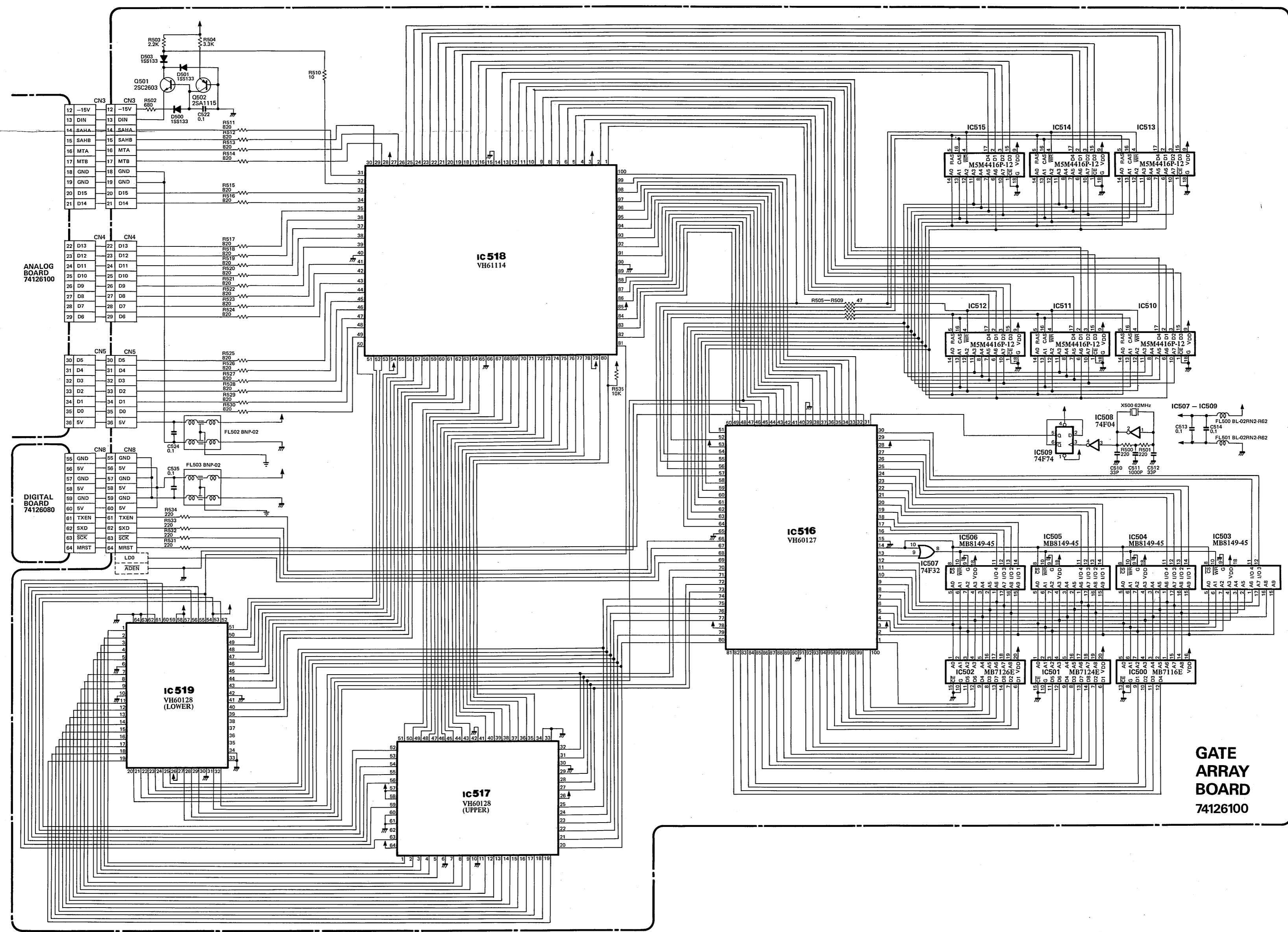
**VOLUME BOARD 7412613000 (pcb 2292017301)**





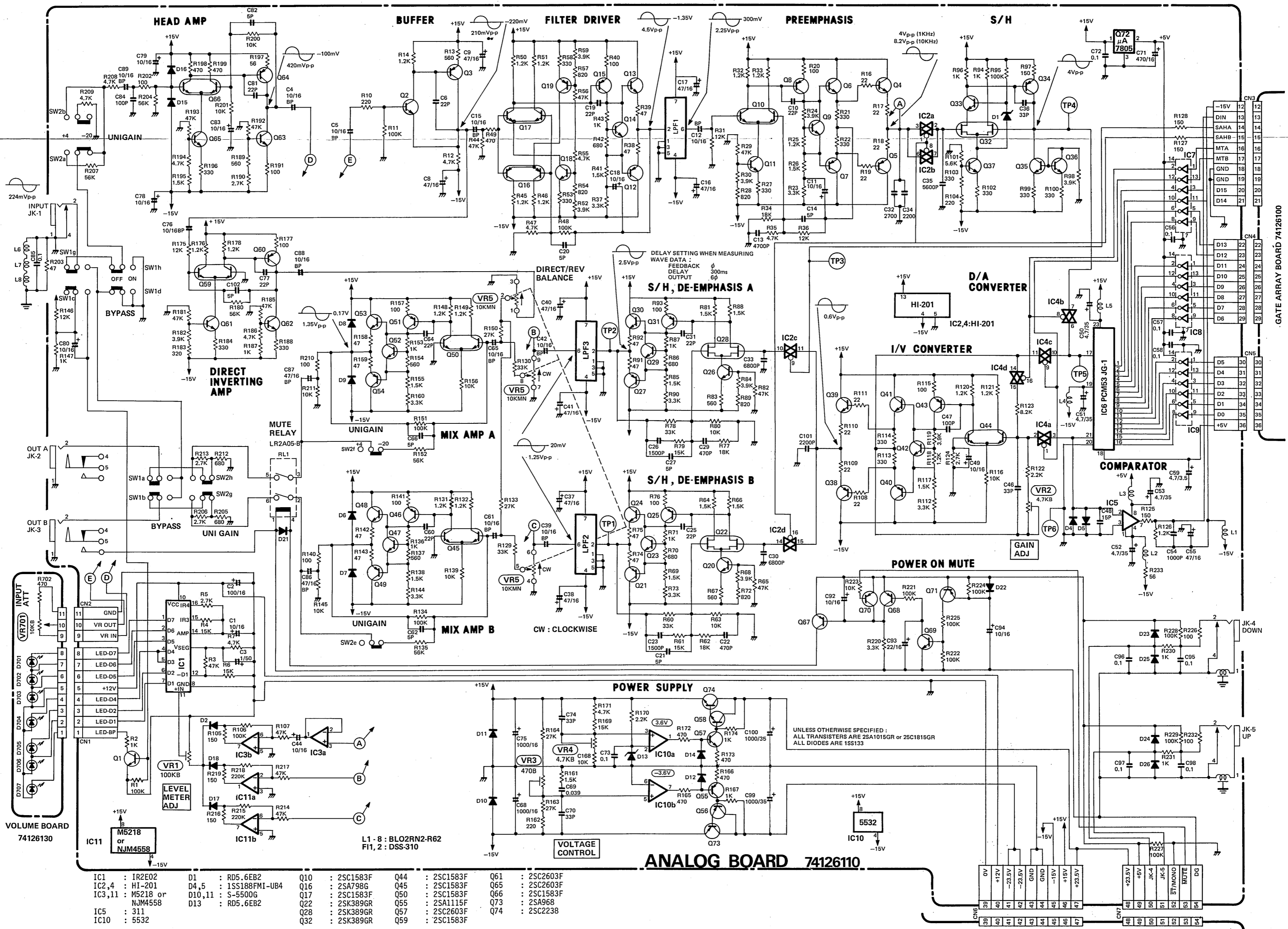
# CIRCUIT DIAGRAM

P  
O  
N  
M  
L  
K  
J  
I  
H  
G  
F  
E  
D  
C  
B  
A



1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23

CIRCUIT DIAGRAM



IC1 : IR2E02	D1 : RD5.6EB2	Q10 : 2SC1583F	Q44 : 2SC1583F	Q61 : 2SC2603F
IC2,4 : HI-201	D4,5 : 1SS188FMI-UB4	Q16 : 2SA798G	Q45 : 2SC1583F	Q65 : 2SC2603F
IC3,11 : M5218 or NJM4558	D10,11 : S-5500G	Q17 : 2SC1583F	Q50 : 2SC1583F	Q66 : 2SC1583F
IC5 : 311	D13 : RD5.6EB2	Q22 : 2SK389GR	Q55 : 2SA1115F	Q73 : 2SA968
IC10 : 5532		Q28 : 2SK389GR	Q57 : 2SC2603F	Q74 : 2SC2238
		Q32 : 2SK389GR	Q59 : 2SC1583F	

L1 - B : BLO2RN2-R62  
 F11, 2 : DSS-310

UNLESS OTHERWISE SPECIFIED:  
 ALL TRANSISTERS ARE 2SA1015GR or 2SC1815GR  
 ALL DIODES ARE 1SS133

**ANALOG BOARD 74126110**

DIGITAL MAIN BOARD 74126080

GATE ARRAY BOARD 74126100

P  
O  
N  
L  
K  
C  
I  
G  
T  
D  
B  
A

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23

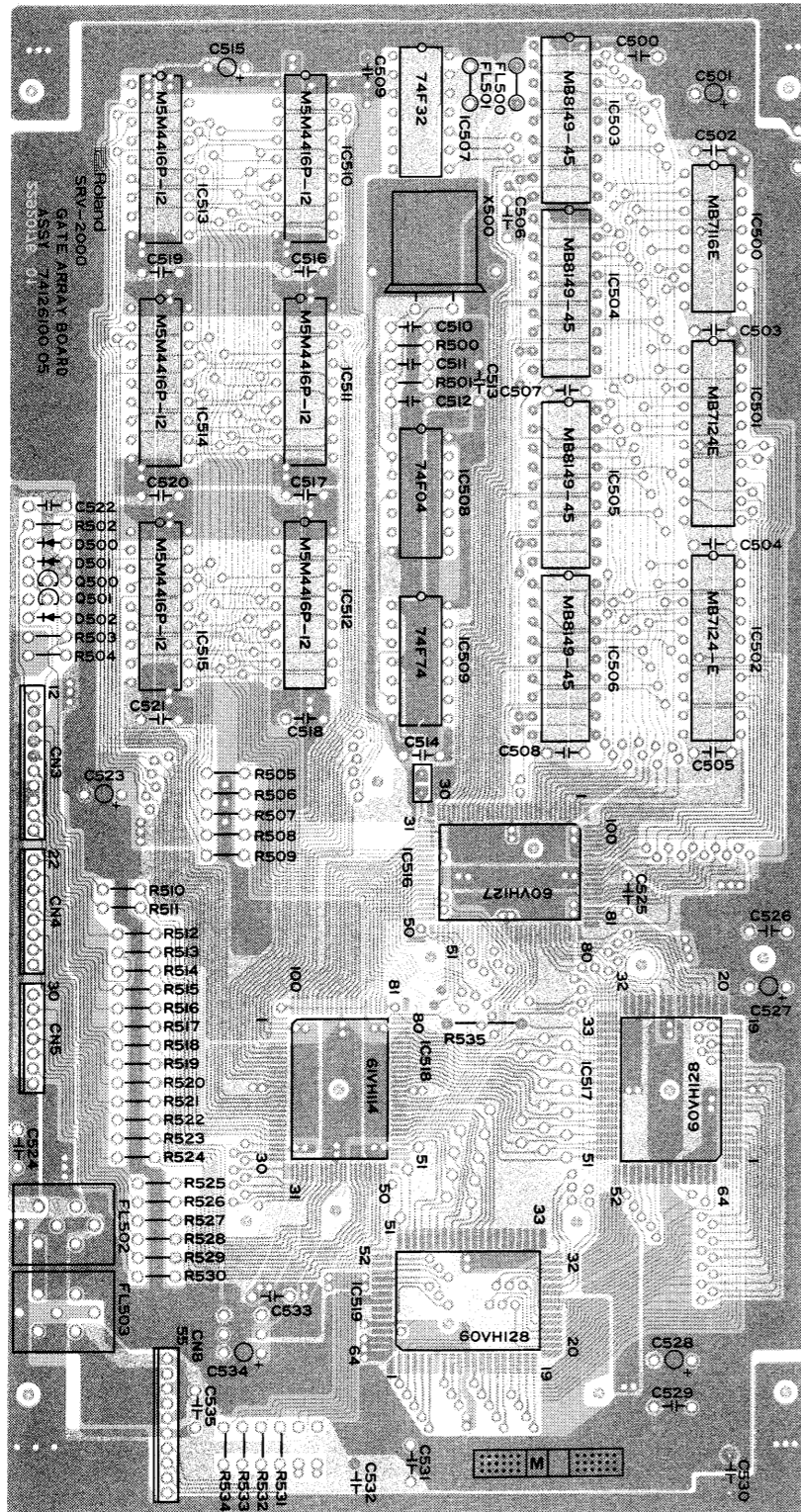
# GATE ARRAY BOARD

7412610005

(pcb 2292017601)

A B C D E F G H I J K L M N O P Q R S T

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18



# MIDI IMPLEMENTATION

### 1. RECOGNIZED RECEIVE DATA

Status	Second	Third	Description
1100 nnnn	0ppp pppp		Program Change pppppp = 0 - 127
1011 nnnn	0111 1100	0000 0000	OMNI OFF
1011 nnnn	0111 1101	0000 0000	OMNI ON

### 2. RECOGNIZED EXCLUSIVE MESSAGES

When one of the following exclusive messages is recognized, any other messages will be ignored for 10 ms. milliseconds.

#### 2.1 Reverberation Parameters

##### A. PCR which indicates 'MEMORY NUMBER' reading data.

Byte	Description
a 1111 0000	Exclusive status
b 0100 0001	Roland ID #
c 0011 0100	Operation Code = PCR (program number)
d 0000 nnnn	Unit # = MIDI basic channel, nnnn = 0 - 15 where nnnn + 1 = channel #
e 0101 0001	Format type
f 0010 0000	Level # = 1
g 0000 0000	Group # = 0
h 0000 0000	Extension = 0
i 0ppp pppp	'MEMORY NUMBER', ppppppp = 0 - 31 where ppppppp + 1 = 'MEMORY NUMBER'
j 0000 0001	Reading data from memory
k 1111 0111	End of System Exclusive

##### B. PCR which indicates 'MEMORY NUMBER' writing data.

Byte	Description
a 1111 0000	Exclusive status
b 0100 0001	Roland ID #
c 0011 0100	Operation Code = PCR (program number)
d 0000 nnnn	Unit # = MIDI basic channel, nnnn = 0 - 15 where nnnn + 1 = channel #
e 0101 0001	Format type
f 0010 0000	Level # = 1
g 0000 0000	Group # = 0
h 0000 0000	Extension = 0
i 0ppp pppp	'MEMORY NUMBER', ppppppp = 0 - 31 where ppppppp + 1 = 'MEMORY NUMBER'
j 0000 0010	Writing data to memory
k 1111 0111	End of System Exclusive

##### C. APR (All parameters) which indicates 'REVERB' parameter.

Byte	Description
a 1111 0000	Exclusive status
b 0100 0001	Roland ID #
c 0011 0101	Operation Code = APR (all parameters)
d 0000 nnnn	Unit # = MIDI basic channel, nnnn = 0 - 15 where nnnn + 1 = channel #
e 0101 0001	Format type
f 0010 0000	Level # = 1
g 0000 0001	Group # = 1
h 0vvv vvvv	'REVERB' parameters (17 or 22 bytes total)
i 1111 0111	End of System Exclusive

Note :  
\* Data (values) format

a. Bit data (1 byte) bits 2-6 are not used	1 bit 1 ROOM SIMULATION : bit 0 REVERB/NON LINEAR
	0 = OFF : 0 = REVERB
	1 = ON : 1 = NON LINEAR
b. Continuous values	
2 PRE-DELAY	0 - 120 (00H - 78H) : 0 - 120 ms
3 0ZH	
4 0YH	
5 0XH	
6 0WH	
7 HF DAMP	5 - 100 (05H - 64H) : 0.05 - 1.00
8 REVERB TYPE	1 - 15 (01H - 0FH) : H15 - H37
	P: 0 - P:A
9 OUTPUT LEVEL	0 - 99 (00H - 63H) : 0 - 99
10 Q OF HIGH FILTER	2 - 90 (02H - 5AH) : 0.2 - 9.0
11 FREQUENCY OF HIGH FILTER	40 - 127 (28H - 7FH) : 0.80 - 9.99 kHz
12 BOOST/CUT OF HIGH FILTER	-24 - -1 (60H - 7FH) : -24 - -1 dB
	0 - 12 (00H - 0CH) : 0 - +12 dB
13 Q OF MIDDLE FILTER	2 - 90 (02H - 5AH) : 0.2 - 9.0

14 FREQUENCY OF MIDDLE FILTER	0 - 127 (00H - 7FH) : 0.25 - 9.99 kHz
15 BOOST/CUT OF MIDDLE FILTER	-24 - -1 (60H - 7FH) : -24 - -1 dB
	0 - 12 (00H - 0CH) : 0 - +12 dB
16 FREQUENCY OF LOW FILTER	0 - 29 (00H - 1DH) : 0.04 - 1.00 kHz
17 BOOST/CUT OF LOW FILTER	-24 - -1 (60H - 7FH) : -24 - -1 dB
	0 - 12 (00H - 0CH) : 0 - +12 dB

#### c. Continuous values of 'FURTHER LEVEL'

18 REVERBERATION DENSITY	0 - 99 : 0 - 9
19 ATTACK LEVEL OF EARLY REFLECTIONS	0 - 99 : 0 - 9
20 ATTACK TIME OF EARLY REFLECTIONS	0 - 99 : 0 - 9
21 DENSITY OF EARLY REFLECTIONS	0 - 99 : 0 - 9
22 LEVEL OF EARLY REFLECTIONS	0 - 99 (00H - 63H) : 0 - 99

#### D. APR (All parameters) which indicates 'NON LINEAR' parameters.

Byte	Description
a 1111 0000	Exclusive status
b 0100 0001	Roland ID #
c 0011 0101	Operation Code = APR (all parameters)
d 0000 nnnn	Unit # = MIDI basic channel, nnnn = 0 - 15 where nnnn + 1 = channel #
e 0101 0001	Format type
f 0010 0000	Level # = 1
g 0000 0010	Group # = 2
h 0vvv vvvv	'NON LINEAR' parameters (19 bytes total)
i 1111 0111	End of System Exclusive

Note :  
\* Data (values) format

a. Bit data (1 byte) bits 2-6 are not used	1 bit 1 ROOM SIMULATION : bit 0 REVERB/NON LINEAR
	0 = OFF : 0 = REVERB
	1 = ON : 1 = NON LINEAR
b. Continuous values	
2 PRE-DELAY	0 - 120 (00H - 78H) : 0 - 120 ms
3 0ZH	
4 0YH	
5 0XH	
6 0WH	
7 0ZH	Where WXYZH = -9 - -1 (FFF7H-FFFFH)
8 0YH	Where WXYZH = 1 - 99 (0001H-03DEH)
9 0XH	This value indicates the REVERB TIME : -0.9 - -0.1 s
10 0WH	This value indicates the GATE TIME : 10 - 450 ms
11 OUTPUT LEVEL	0 - 99 (00H - 63H) : 0 - 99
12 Q OF HIGH FILTER	2 - 90 (02H - 5AH) : 0.2 - 9.0
13 FREQUENCY OF HIGH FILTER	40 - 127 (28H - 7FH) : 0.80 - 9.99 kHz
14 BOOST/CUT OF HIGH FILTER	-24 - -1 (60H - 7FH) : -24 - -1 dB
	0 - 12 (00H - 0CH) : 0 - +12 dB
15 Q OF MIDDLE FILTER	2 - 90 (02H - 5AH) : 0.2 - 9.0
16 FREQUENCY OF MIDDLE FILTER	0 - 127 (00H - 7FH) : 0.25 - 9.99 kHz
17 BOOST/CUT OF MIDDLE FILTER	-24 - -1 (60H - 7FH) : -24 - -1 dB
	0 - 12 (00H - 0CH) : 0 - +12 dB
18 FREQUENCY OF LOW FILTER	0 - 29 (00H - 1DH) : 0.04 - 1.00 kHz
19 BOOST/CUT OF LOW FILTER	-24 - -1 (60H - 7FH) : -24 - -1 dB
	0 - 12 (00H - 0CH) : 0 - +12 dB

#### 2.2 Recognized receive exclusive message for the 'MEMORY NUMBER' Table

##### A. BLD (Bulk dump) for Memory Number Table contents.

Byte	Description
a 1111 0000	Exclusive status
b 0100 0001	Roland ID #
c 0011 0111	Operation Code = BLD (bulk dump)
d 0000 nnnn	Unit # = MIDI basic channel, 0 - 15 where nnnn + 1 = channel #
e 0101 0001	Format Type
f 0011 0000	Level # = 2
g 0000 0001	Group # = 1
h 0000 0000	Extension = 0
i 0000 0000	This number (=0) addresses the first value of 'j' to be stored in the table
j 000v vvvv	the 'MEMORY NUMBERS' to be stored into the Table in sequence : vvvvv = 0 - 31 : where vvvvv + 1 = MEMORY NUMBER (1 - 32) : (128 bytes total for program # 0 - 127)
000v vvvv	
k 1111 0111	End of System Exclusive